



TÉCNICO LISBOA

SISTEMAS DIGITAIS (SD)

MEEC

Acetatos das Aulas Teóricas

Versão 4.0 - Português

Aula Nº 09:

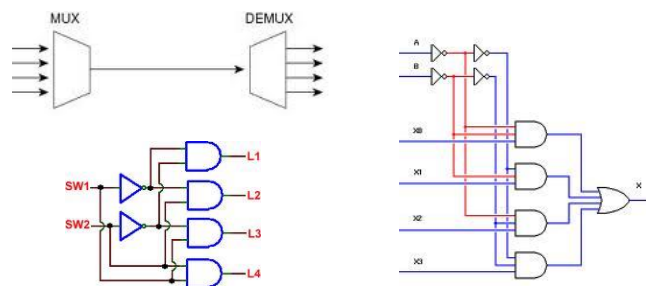
Título:	Circuitos combinatórios: decodificadores, codificadores, multiplexers e demultiplexers
Sumário:	Decodificadores, codificadores, multiplexers e demultiplexers

2015/2016

Nuno.Roma@tecnico.ulisboa.pt

Sistemas Digitais (SD)

**Circuitos combinatórios:
descodificadores, codificadores,
multiplexers e demultiplexers**



Aula Anterior

■ Na aula anterior:

- ▶ Noção de circuito combinatório;
- ▶ Tempo de propagação num circuito;
- ▶ Dispositivos lógicos especiais:
 - Buffer de três estados (*tri-state*);
 - Portas de passagem (*transmission gates*).

SEMANA	TEÓRICA 1	TEÓRICA 2	PROBLEMAS/LABORATÓRIO
14/Set a 19/Set	Introdução	Sistemas de Numeração e Códigos	
21/Set a 26/Set	Álgebra de Boole	Elementos de Tecnologia	P0
28/Set a 3/Out	Funções Lógicas	Minimização de Funções Booleanas (I)	L0
5/Out a 10/Out	Minimização de Funções Booleanas (II)	Def. Circuito Combinatório; Análise Temporal	P1
12/Out a 17/Out	Circuitos Combinatórios (I) – Codif., MUXs, etc.	Circuitos Combinatórios (II) – Som., Comp., etc.	L1
19/Out a 24/Out	Circuitos Combinatórios (III) - ALUs	Circuitos Sequenciais: Latches	P2
26/Out a 31/Out	Circuitos Sequenciais: Flip-Flops	Ling. de Descrição e Simulação de HW (ferramentas disponíveis no laboratório)	L2
2/Nov a 7/Nov	Caracterização Temporal	Registos	P3
9/Nov a 14/Nov	Revisões Teste 1	Contadores	L3
16/Nov a 21/Nov	Síntese de Circuitos Sequenciais: Definições	Síntese de Circuitos Sequenciais: Minimização do número de estados	P4
23/Nov a 28/Nov	Síntese de Circuitos Sequenciais: Síntese com Contadores	Memórias	L4
30/Nov a 5/Dez	Máq. Estado Microprogramadas: Circuito de Dados e Circuito de Controlo	Máq. Estado Microprogramadas: Endereçamento Explícito/Implícito	P5
7/Dez a 12/Dez	Circuitos de Controlo, Transferência e Processamento de Dados de um Processador	Lógica Programável	L5
14/Dez a 18/Dez	P6	P6	L6

■ Tema da aula de hoje:

► Circuitos combinatórios típicos:

- Descodificadores
- Codificadores
- Multiplexers
- Demultiplexers

□ Bibliografia:

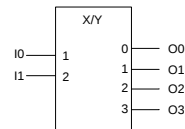
- M. Mano, C. Kime: Secções 3.7 a 3.9
- G. Arroz, J. Monteiro, A. Oliveira: Secções 4.2 a 4.5

■ Descodificador (em inglês, *Decoder*)

- ▶ O descodificador binário é um circuito combinatório que permite, perante uma combinação de entradas, activar uma e só uma saída.

I1	I0	O0	O1	O2	O3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

DESCODIFICADOR 2:4



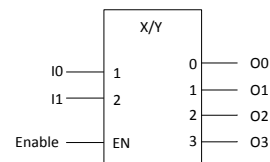
- ▶ No símbolo do componente, o índice dos sinais de entrada/saída permite identificar claramente as saídas e o “peso” de cada um dos sinais de entrada.

■ Descodificador com entrada de activação (*Enable*):

- ▶ A entrada de **ENABLE** permite, quando activa (neste caso, a “1”), que o descodificador funcione normalmente. Quando não activa, inibe o seu funcionamento fazendo com que todas as saídas fiquem inactivas (neste caso, todas a “0”).

EN	I1	I0	O0	O1	O2	O3
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0

DESCODIFICADOR 2:4



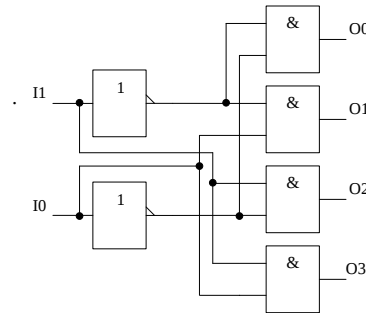
■ Descodificador: estrutura interna

- ▶ A figura representa a estrutura interna de um descodificador binário de 2 entradas.
- ▶ Cada saída representa uma das combinações possíveis das entradas

I1	I0	O0	O1	O2	O3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

$$O_0 = \bar{I}_1 \cdot \bar{I}_0 \quad O_2 = I_1 \cdot \bar{I}_0$$

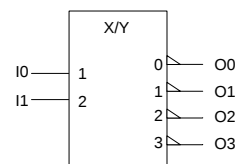
$$O_1 = \bar{I}_1 \cdot I_0 \quad O_3 = I_1 \cdot I_0$$



■ Descodificador com saídas activas a zero

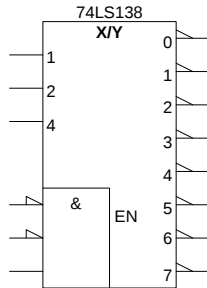
- ▶ No símbolo do componente, o Δ na saída indica que esta é activa a "0", i.e., a saída seleccionada tem um "0" e as outras têm um "1". (funciona como se tivesse um inversor na saída)

I1	I0	O0	O1	O2	O3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

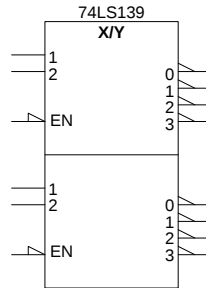


■ Descodificadores: exemplos de componentes

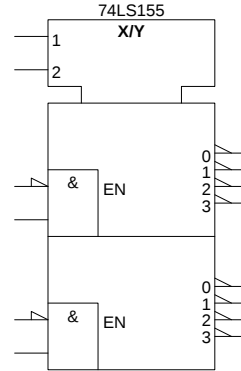
DESCODIFICADOR 3:8



DUAL DECODER 2:4



DUAL DECODER 2:4



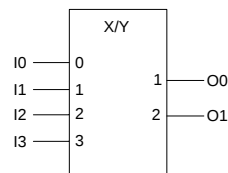
Nos 3 exemplos os sinais de saída são activos a zero.

No 138 o Enable é um AND de 3 entradas, 2 delas negadas. No 139 o Enable é activo a zero. No 155 o Enable é um AND de 2 entradas, 1 delas negada.

■ Codificador (em inglês, *encoder*):

- O codificador binário é um circuito combinatório que indica qual das entradas possíveis é que está activa (neste caso, a “1”).

I3	I2	I1	I0	O1	O0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

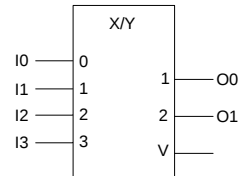


- Nesta versão simples, o codificador só considera 4 das 16 combinações possíveis de entrada.
- O circuito não distingue a situação de todas as entradas estarem a “0”.
- O circuito não distingue as situações em que estão a “1” mais do que uma entrada.

■ Codificador de prioridade:

- ▶ As entradas deste codificador têm uma ordem de prioridades: em caso de mais de uma entrada activa (a "1") é considerada a de maior prioridade.

I3	I2	I1	I0	O1	O0	V
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	X	0	1	1
0	1	X	X	1	0	1
1	X	X	X	1	1	1

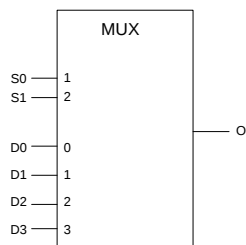


- ▶ A entrada I3 é a de maior prioridade, seguida da I2, da I1, e a I0 é a de menor prioridade.
- ▶ A saída V suplementar indica se existe pelo menos uma entrada activa (a "1").

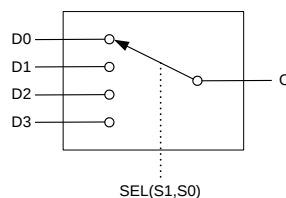
■ Multiplexer:

- ▶ O multiplexer é um circuito combinatório que permite, através da especificação dos sinais de selecção, encaminhar uma das N entradas de dados para a saída.

Exemplo: multiplexer 4:1



Comportamento



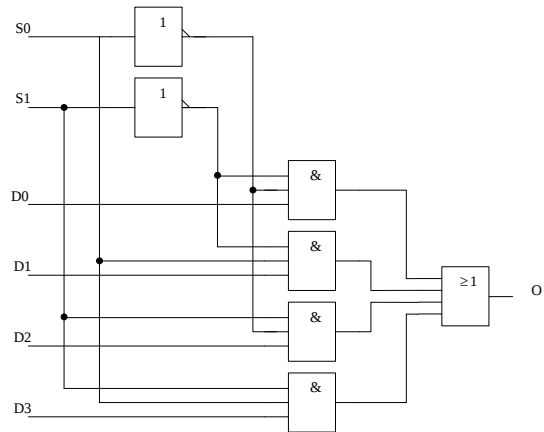
S1	S0	O
0	0	D0
0	1	D1
1	0	D2
1	1	D3

- ▶ As entradas de selecção determinam a entrada de dados cujo valor é colocado na saída.

■ Multiplexer: estrutura interna

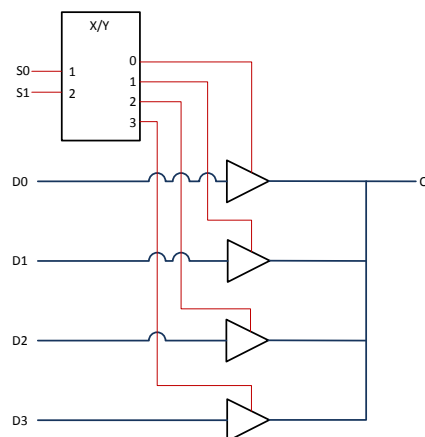
S1	S0	O
0	0	D0
0	1	D1
1	0	D2
1	1	D3

$$O = D_0 \cdot \bar{S}_1 \cdot \bar{S}_0 + D_1 \cdot \bar{S}_1 \cdot S_0 + D_2 \cdot S_1 \cdot \bar{S}_0 + D_3 \cdot S_1 \cdot S_0$$



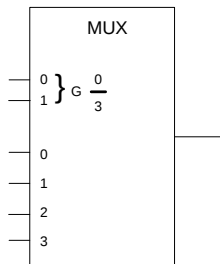
■ Multiplexer: estrutura interna alternativa

S1	S0	O
0	0	D0
0	1	D1
1	0	D2
1	1	D3

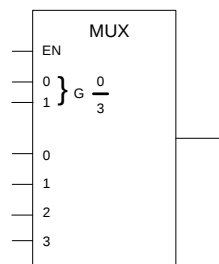


■ Multiplexer: simbologia

MULTIPLEXER 4:1
simples

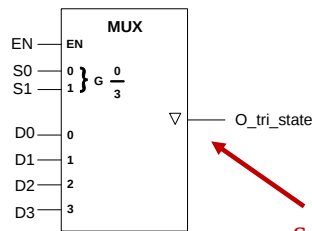
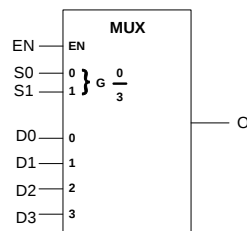


MULTIPLEXER 4:1
com enable



EN	S1	S0	O
1	0	0	D0
1	0	1	D1
1	1	0	D2
1	1	1	D3
0	X	X	0

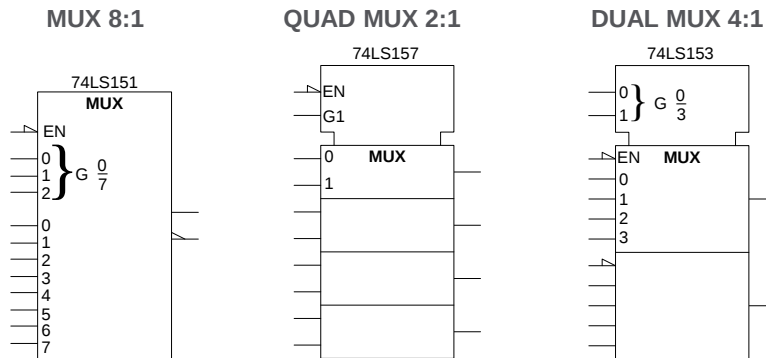
■ Multiplexer: saída tri-state



Saída tri-state

S1	S0	EN	O	O_tri_state
-	-	0	0	Z
0	0	1	D0	D0
0	1	1	D1	D1
1	0	1	D2	D2
1	1	1	D3	D3

■ Multiplexers: exemplos de componentes



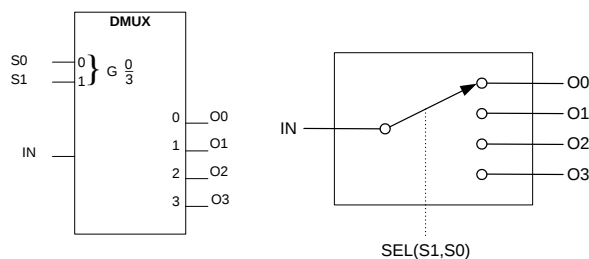
Nos 3 exemplos os sinais de Enable são activos a zero (a activação do funcionamento normal do componente acontece quando EN=0).

O 74151 tem uma saída suplementar que é a negação da outra.

■ Demultiplexer:

- O demultiplexer é um circuito combinatório que permite, através da especificação dos sinais de selecção, encaminhar a entrada para uma das N saídas.

Exemplo: Demultiplexer 1:4



S1	S0	O0	O1	O2	O3
0	0	IN	0	0	0
0	1	0	IN	0	0
1	0	0	0	IN	0
1	1	0	0	0	IN

Demultiplexer: estrutura interna

DEMUTIPLEXER 1:4

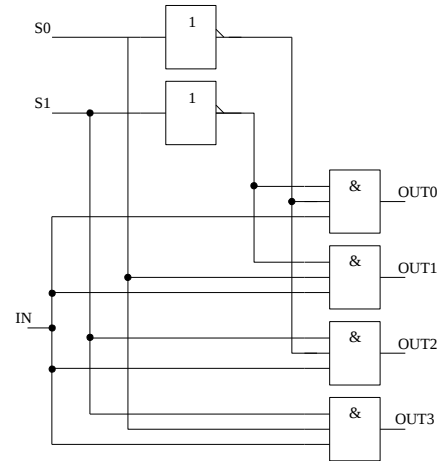
S1	S0	O0	O1	O2	O3
0	0	IN	0	0	0
0	1	0	IN	0	0
1	0	0	0	IN	0
1	1	0	0	0	IN

$$O_0 = IN \cdot \overline{S_1} \cdot \overline{S_0}$$

$$O_2 = IN \cdot S_1 \cdot \overline{S_0}$$

$$O_1 = IN \cdot \overline{S_1} \cdot S_0$$

$$O_3 = IN \cdot S_1 \cdot S_0$$



Demultiplexeres e Descodificadores:

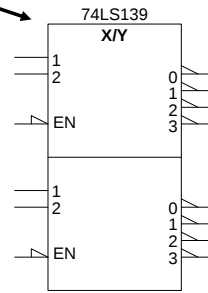
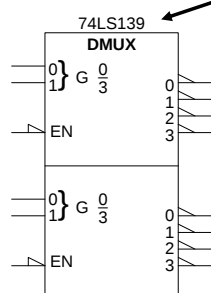
- Um **descodificador** com *enable* é equivalente a um **demultiplexer**, sendo as entradas de dados do primeiro as entradas de selecção do segundo e a entrada de *enable* do primeiro a entrada de dados do segundo.

Nota: os 2 símbolos abaixo referem a mesma funcionalidade do circuito.

DUAL DMUX 1:4

74LS139

DECODER 2:4

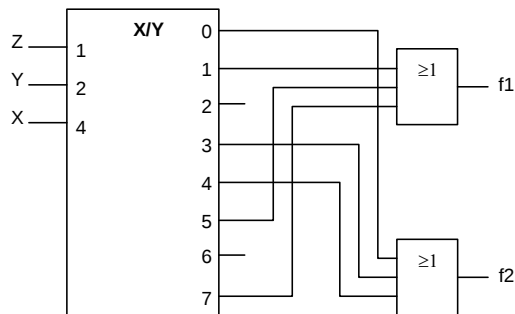


■ Descodificadores: aplicações (f. combinatórias)

- Realização de funções combinatórias de 3 variáveis com decoders 3:8

$$f1(X,Y,Z) = \sum m(1,5,7)$$

$$f2(X,Y,Z) = \sum m(0,3,4)$$

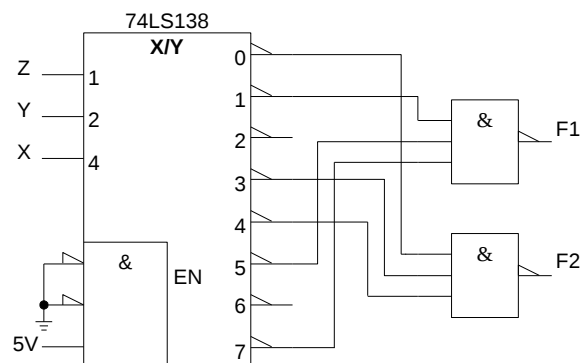


■ Descodificadores: aplicações (f. combinatórias)

- Realização de funções combinatórias de 3 variáveis com decoders 3:8 com saídas activas a 0.

$$f1(X,Y,Z) = \sum m(1,5,7)$$

$$f2(X,Y,Z) = \sum m(0,3,4)$$

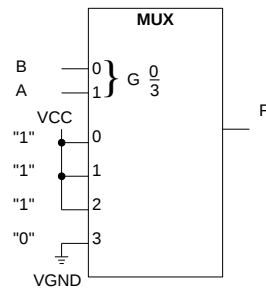


■ Multiplexers: aplicações (f. combinatórias)

- Exemplo de realização de funções combinatórias de 2 variáveis com MUX 4:1

$$F = \bar{A} + A\bar{B}$$

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

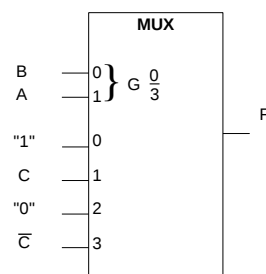


■ Multiplexers: aplicações (f. combinatórias)

- Exemplo de realização de funções combinatórias de 3 variáveis com MUX 4:1

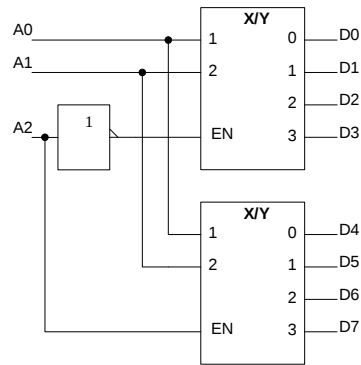
$$F = \bar{A}\bar{B} + \bar{A}C + ABC$$

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0



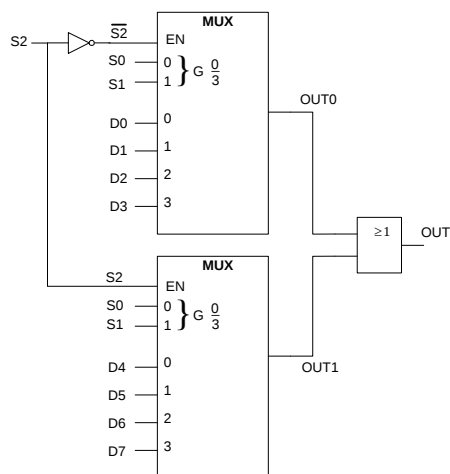
■ Descodificadores: aplicações (descodificação)

- Exemplo de realização de um DECODER 3:8 tendo por base 2 DECODERS 2:4



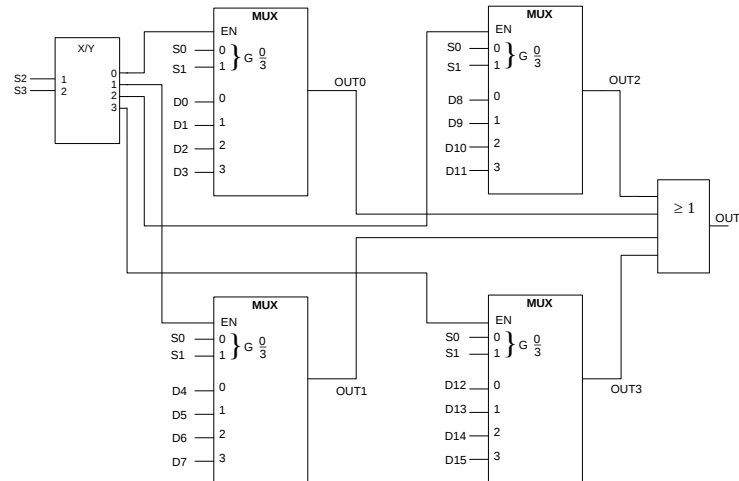
■ Multiplexers: aplicações (multiplexagem)

- Exemplo de realização de um MUX 8:1 tendo por base 2 MUXs 4:1



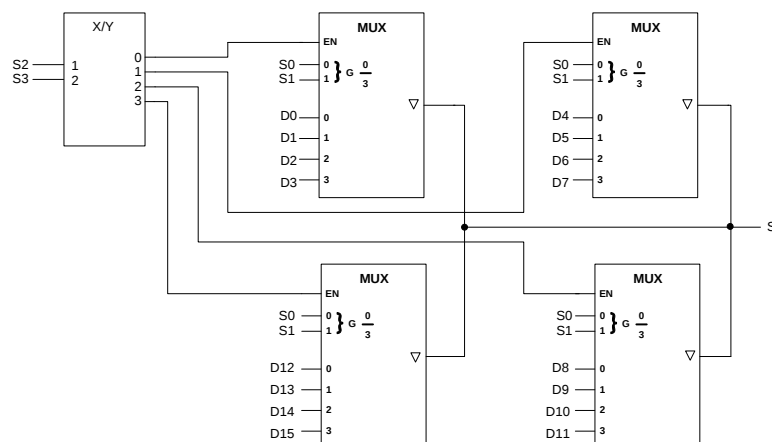
■ Multiplexers: aplicações (multiplexagem)

- Exemplo de realização de um MUX 16:1 tendo por base 4 MUXs 4:1



■ Multiplexers: aplicações (multiplexagem)

- Exemplo de realização de um MUX 16:1 tendo por base 4 MUXs 4:1 tri-state





■ **Tema da Próxima Aula:**

- ▶ Circuitos combinatórios típicos:
 - Somadores / Subtractores
 - Comparadores



Agradecimentos

Algumas páginas desta apresentação resultam da compilação de várias contribuições produzidas por:

- Guilherme Arroz
- Horácio Neto
- Nuno Horta
- Pedro Tomás