



TÉCNICO LISBOA

SISTEMAS DIGITAIS (SD)

MEEC

Acetatos das Aulas Teóricas

Versão 4.0 - Português

Aula Nº 08:

Título: Definição de Circuito Combinatório; Tempo de Propagação de um Circuito

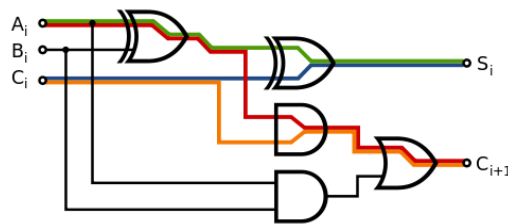
Sumário: Noção de circuito combinatório; Tempo de propagação num circuito; Dispositivos lógicos especiais: buffer de três estados (tri-state) e portas de passagem (transmission gates).

2015/2016

Nuno.Roma@tecnico.ulisboa.pt

Sistemas Digitais (SD)

Definição de Circuito Combinatório Tempo de Propagação de um Circuito



Aula Anterior

■ Na aula anterior:

- ▶ Minimização de Karnaugh:
 - Agrupamentos de uns e zeros:
 - Eixos de simetria;
 - Implicantes e implicados;
 - Implicantes e implicados primos;
 - Implicantes e implicados primos essenciais.
 - Método de minimização de Karnaugh:
 - Algoritmo de minimização;
 - Forma normal/mínima disjuntiva;
 - Forma normal/mínima conjuntiva;
 - Funções incompletamente especificadas.

SEMANA	TEÓRICA 1	TEÓRICA 2	PROBLEMAS/LABORATÓRIO
14/Set a 19/Set	Introdução	Sistemas de Numeração e Códigos	
21/Set a 26/Set	Álgebra de Boole	Elementos de Tecnologia	P0
28/Set a 3/Out	Funções Lógicas	Minimização de Funções Booleanas (I)	L0
5/Out a 10/Out	Minimização de Funções Booleanas (II)	Def. Circuito Combinatório; Análise Temporal	P1
12/Out a 17/Out	Circuitos Combinatórios (I) – Codif., MUXs, etc.	Circuitos Combinatórios (II) – Som., Comp., etc.	L1
19/Out a 24/Out	Circuitos Combinatórios (III) - ALUs	Circuitos Sequenciais: Latches	P2
26/Out a 31/Out	Circuitos Sequenciais: Flip-Flops	Ling. de Descrição e Simulação de HW (ferramentas disponíveis no laboratório)	L2
2/Nov a 7/Nov	Caracterização Temporal	Registos	P3
9/Nov a 14/Nov	Revisões Teste 1	Contadores	L3
16/Nov a 21/Nov	Síntese de Circuitos Sequenciais: Definições	Síntese de Circuitos Sequenciais: Minimização do número de estados	P4
23/Nov a 28/Nov	Síntese de Circuitos Sequenciais: Síntese com Contadores	Memórias	L4
30/Nov a 5/Dez	Máq. Estado Microprogramadas: Circuito de Dados e Circuito de Controlo	Máq. Estado Microprogramadas: Endereçamento Explícito/Implícito	P5
7/Dez a 12/Dez	Circuitos de Controlo, Transferência e Processamento de Dados de um Processador	Lógica Programável	L5
14/Dez a 18/Dez	P6	P6	L6

■ Tema da aula de hoje:

- ▶ Noção de circuito combinatório;
- ▶ Tempo de propagação num circuito;
- ▶ Dispositivos lógicos especiais:
 - Buffer de três estados (*tri-state*);
 - Portas de passagem (*transmission gates*).

□ Bibliografia:

- M. Mano, C. Kime: Secções 3.1.4, 3.4 e 3.1.6
- G. Arroz, J. Monteiro, A. Oliveira: Secção 6.2 e 2.10

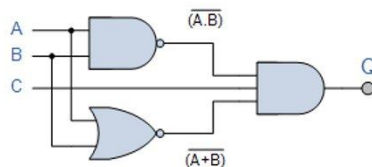
NOÇÃO DE CIRCUITO COMBINATÓRIO

Noção de Circuito Combinatório

■ Circuito Combinatório:

- ▶ A saída é uma função que depende **apenas** da entrada actual;
- ▶ Definido através de:

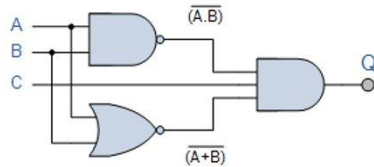
- **Função Booleana** – Ex: $Q = (\overline{A} \cdot \overline{B}) \cdot (\overline{A+B}) \cdot C$
- **Diagrama lógico**
- **Tabela de verdade**



C	B	A	Q
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

■ Circuito Combinatório:

- ▶ A saída é uma função que depende apenas da entrada actual;



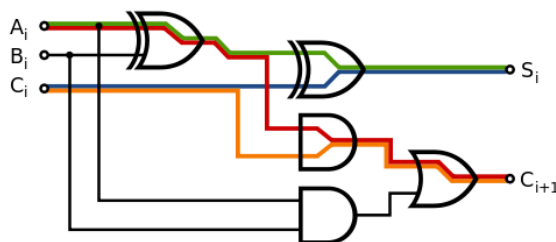
- ▶ Definido em contraste com a noção de **circuito sequencial**, em que a saída depende não só da entrada actual, mas também do valores anteriores dessa entrada...

i.e., circuitos sequenciais têm “efeito de memória”, enquanto que um circuito combinatório não.

➔ Veremos daqui a algumas semanas...

■ Circuito Combinatório:

- ▶ Até ao momento, tem-se assumido um modelo **ideal** dos circuitos lógicos, em que a saída muda *instantaneamente* face aos valores na entrada do circuito.
- ▶ Na realidade, todos os circuitos caracterizam-se por um certo **tempo de propagação**, entre as entradas e as saídas, e que depende no número e complexidade das portas lógicas envolvidas:

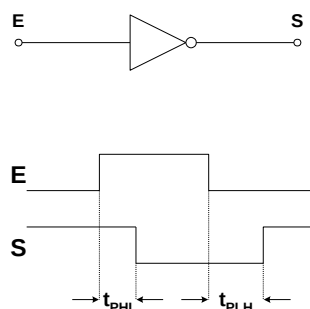


Tempo de Propagação num Circuito Lógico

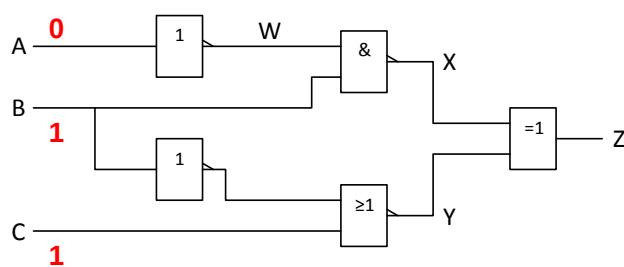
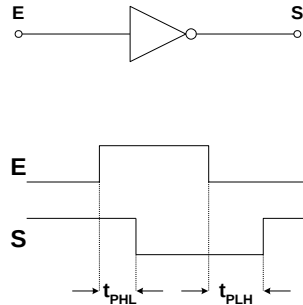
Tempos de Propagação

- **Tempo de Propagação:**
corresponde ao intervalo de tempo necessário para que uma alteração na entrada se propague até à saída de uma determinada porta lógica ou circuito combinatório.

- ▶ t_{PHL} - Tempo de propagação de H para L na saída, desde a variação da entrada.
- ▶ t_{PLH} - Tempo de propagação de L para H na saída, desde a variação da entrada.



- Exemplo (para TTL LS):
 - ▶ Valores Típicos: 8 a 10 ns
 - ▶ Valores Máximos: 15 a 20 ns
- **ATENÇÃO:** Em geral, os tempos de propagação aumentam com o número de entradas ligadas à saída da porta lógica (fan-out).
- Na determinação do atraso máximo na propagação de um sinal através de um circuito combinatório consideram-se, sempre, os valores máximos.



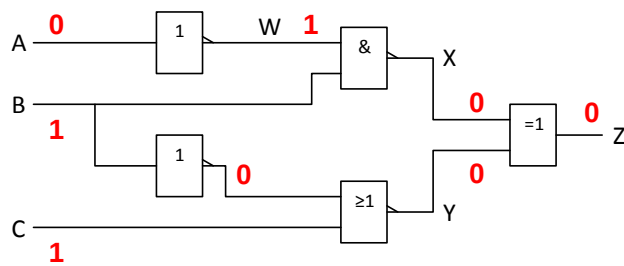
	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Estado inicial

A	0
B	1
C	1
W	
X	
Y	
Z	



Diagrama Temporal



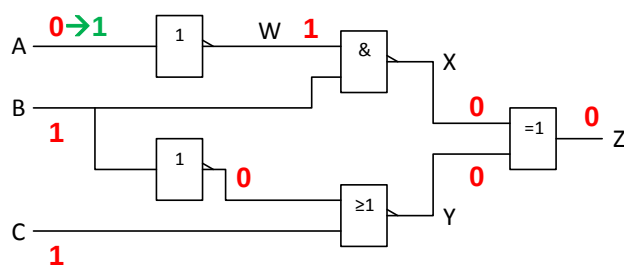
	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Estado inicial

A 0
B 1
C 1
W 1
X 0
Y 0
Z 0



Diagrama Temporal



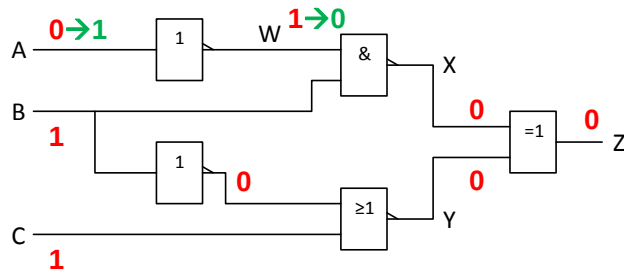
	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Transição da
Entrada A

A 0 /
B 1
C 1
W 1
X 0
Y 0
Z 0



Diagrama Temporal



	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Transição da
Entrada A

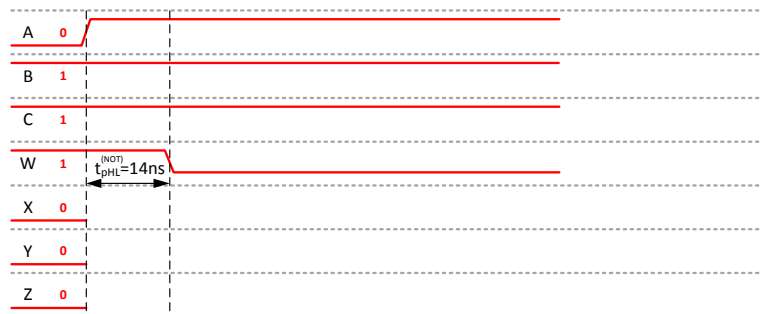
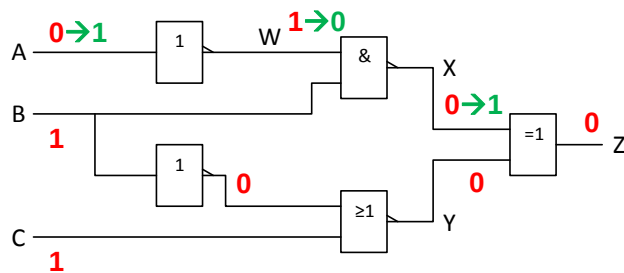


Diagrama Temporal



	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Transição da
Entrada A

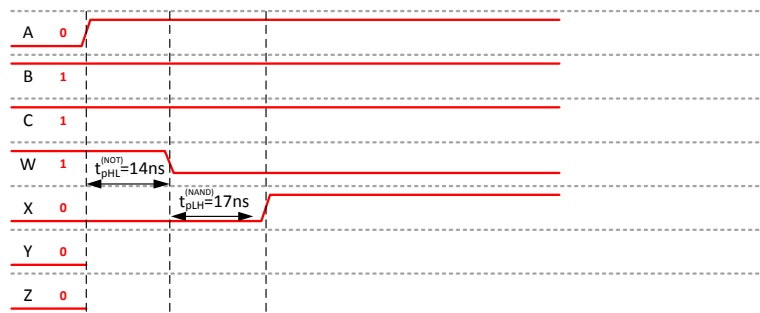
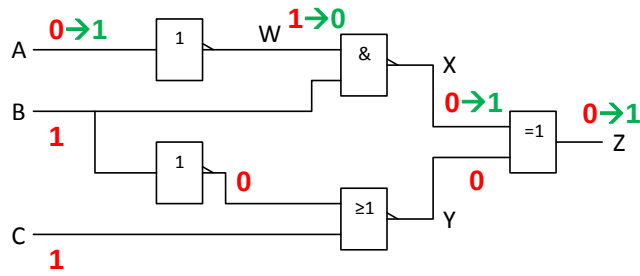




Diagrama Temporal



	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Transição da
Entrada A

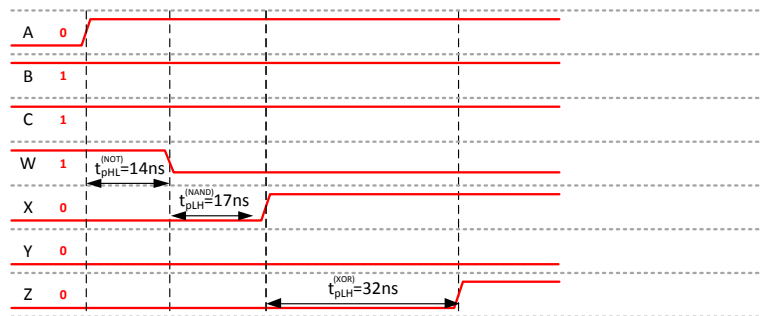
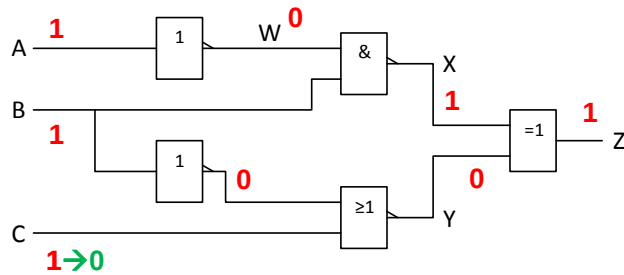


Diagrama Temporal



	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Transição da
Entrada C

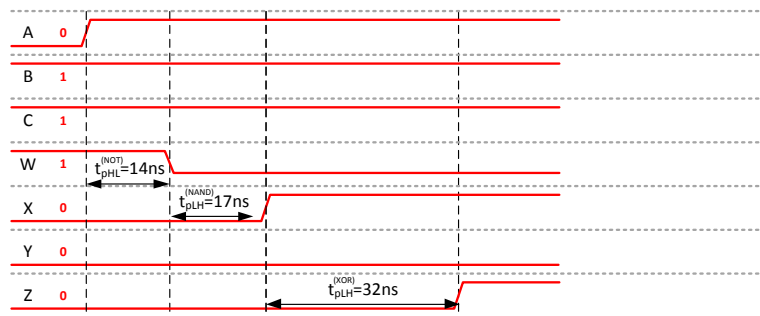
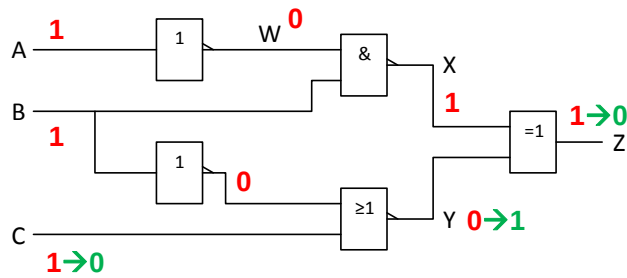
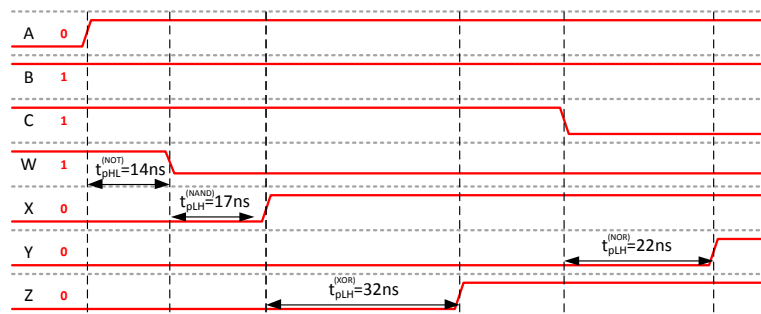


Diagrama Temporal

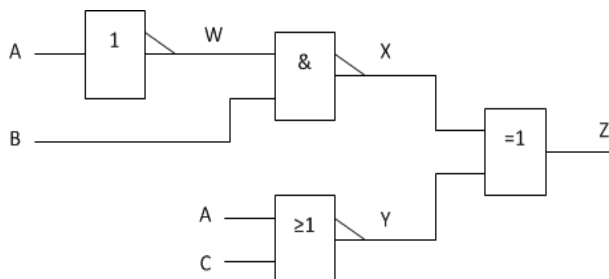


	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

Transição da
Entrada C



Cálculo do Atraso Máximo



	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O atraso máximo de um dado circuito é calculado como:

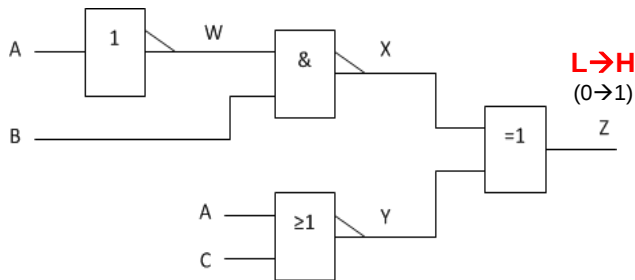
$$t_p = \max\{ t_{pLH} ; t_{pHL} \}$$

em que:

t_{pLH} - máximo tempo de propagação de uma qualquer entrada para a saída que leva a saída a transitar de Low para High

t_{pHL} - máximo tempo de propagação de uma qualquer entrada para a saída que leva a saída a transitar de High para Low

Cálculo do Atraso Máximo

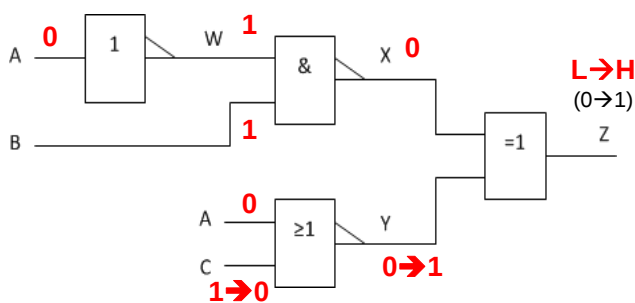


	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O cálculo do tempo de propagação t_{pLH} é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

- $X=0$, $Y=0 \rightarrow 1$
- $X=0 \rightarrow 1$, $Y=0$
- $X=1$, $Y=1 \rightarrow 0$
- $X=1 \rightarrow 0$, $Y=1$

Cálculo do Atraso Máximo



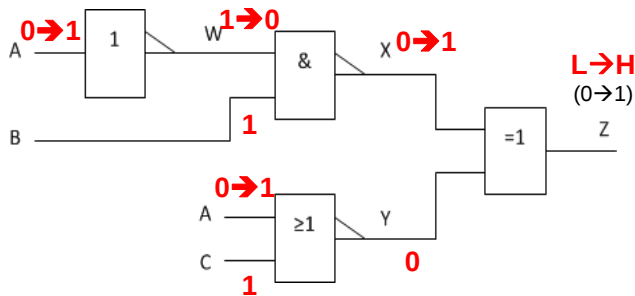
	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O cálculo do tempo de propagação t_{pLH} é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

- $X=0$, $Y=0 \rightarrow 1$
- $X=0 \rightarrow 1$, $Y=0$
- $X=1$, $Y=1 \rightarrow 0$
- $X=1 \rightarrow 0$, $Y=1$

$X=0 \rightarrow B=1, W=1, A=0$
Logo C transita $1 \rightarrow 0$
 $t_{pLH} = t_{pLH}(\text{NOR}) + t_{pLH}(\text{XOR}) = 54\text{ns}$

Cálculo do Atraso Máximo



	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

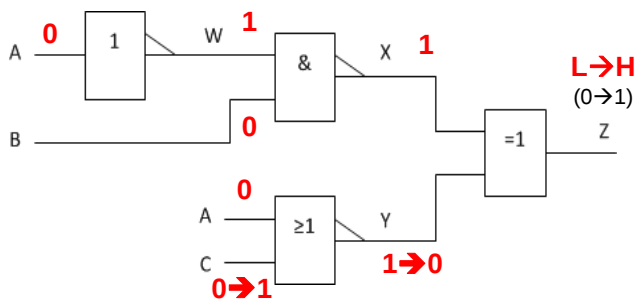
- O cálculo do tempo de propagação t_{pLH} é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

- $X=0$, $Y=0 \rightarrow 1$
- $X=0 \rightarrow 1$, $Y=0$
- $X=1$, $Y=1 \rightarrow 0$
- $X=1 \rightarrow 0$, $Y=1$

O pior caso corresponde à transição vir da porta NOT:
A transita $0 \rightarrow 1$

$$t_{pLH} = t_{pHL}(NOT) + t_{pLH}(NAND) + t_{pLH}(XOR) \\ = 14 + 17 + 32 = 63ns$$

Cálculo do Atraso Máximo



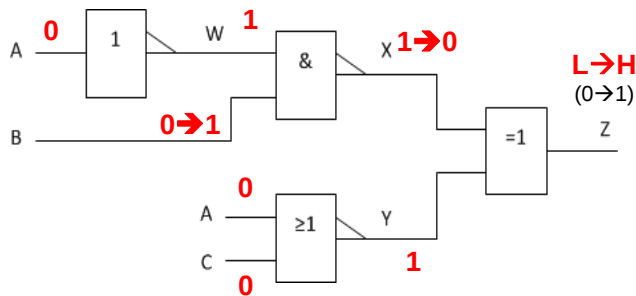
	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O cálculo do tempo de propagação t_{pLH} é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

- $X=0$, $Y=0 \rightarrow 1$
- $X=0 \rightarrow 1$, $Y=0$
- $X=1$, $Y=1 \rightarrow 0$
- $X=1 \rightarrow 0$, $Y=1$

$$t_{pLH} = t_{pHL}(NOR) + t_{pLH}(XOR) = \\ = 24 + 32 = 56ns$$

Cálculo do Atraso Máximo



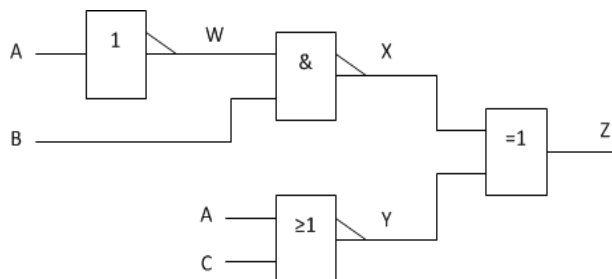
	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O cálculo do tempo de propagação t_{pLH} é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

1. $X=0$, $Y=0 \rightarrow 1$
2. $X=0 \rightarrow 1$, $Y=0$
3. $X=1$, $Y=1 \rightarrow 0$
4. $X=1 \rightarrow 0$, $Y=1$

$$t_{pLH} = t_{pHL}(\text{NAND}) + t_{pLH}(\text{XOR}) = 15 + 32 = 47\text{ns}$$

Cálculo do Atraso Máximo



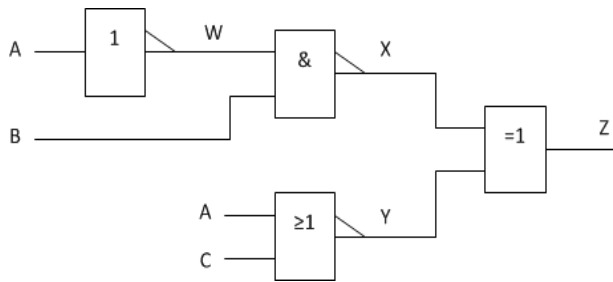
	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O cálculo do tempo de propagação t_{pLH} é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

1. $X=0$, $Y=0 \rightarrow 1$ → $t_{pLH} = 54\text{ns}$
2. $X=0 \rightarrow 1$, $Y=0$ → $t_{pLH} = 63\text{ns}$
3. $X=1$, $Y=1 \rightarrow 0$ → $t_{pLH} = 56\text{ns}$
4. $X=1 \rightarrow 0$, $Y=1$ → $t_{pLH} = 47\text{ns}$

Tempo de propagação
 $t_{pLH} = 63\text{ns}$

Cálculo do Atraso Máximo



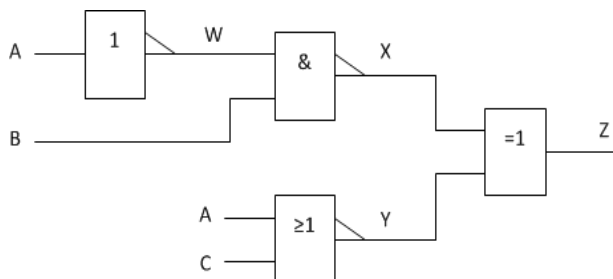
	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O cálculo do tempo de propagação t_{pLH} é calculado verificando todos os casos possíveis... E depois escolhendo o pior:

- $X=0$, $Y=0 \rightarrow 1$
- $X=0 \rightarrow 1$, $Y=0$
- $X=1$, $Y=1 \rightarrow 0$
- $X=1 \rightarrow 0$, $Y=1$

- Ver todos os casos possíveis...
- verificar qual é o pior!!!

Cálculo do Atraso Máximo



	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	15ns	17ns
NOR	24ns	22ns
XOR	30ns	32ns

- O atraso máximo de um dado circuito é calculado como:

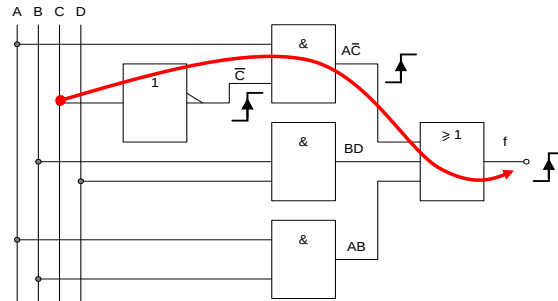
$$t_p = \max\{ t_{pLH} ; t_{pHL} \}$$

em que:

t_{pLH} - máximo tempo de propagação de uma qualquer entrada para a saída que leva a saída a transitar de Low para High

t_{pHL} - máximo tempo de propagação de uma qualquer entrada para a saída que leva a saída a transitar de High para Low

Exemplo:



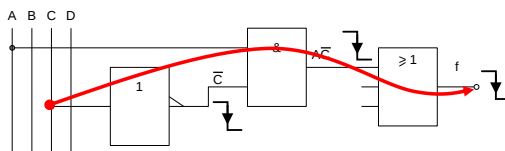
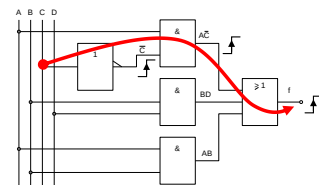
O caminho de atraso máximo é activado quando C comuta e $A=1$, $B.D=0$ e $A.B=0$.

$$t_{PLHtotal} = t_{PLHnot} + t_{PLHand} + t_{PLHor}$$

ou

$$t_{PHLtotal} = t_{PHLnot} + t_{PHLand} + t_{PHLor}$$

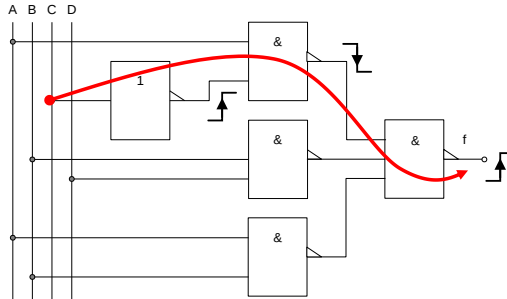
Exemplo (cont.):



	t_{PHL}	t_{PLH}
NOT	14ns	15ns
AND	17ns	20ns
OR	24ns	22ns

$$\begin{aligned}
 t_{Pmax} &= \max(14ns + 17ns + 24ns; 15ns + 20ns + 22ns) \\
 &= \max(55ns; 57ns) = 57ns
 \end{aligned}$$

Exemplo:



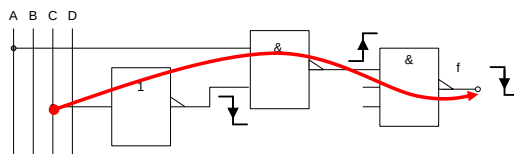
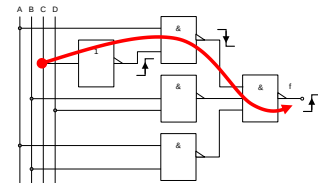
O caminho de atraso máximo é activado quando C comuta e $A=1$, $\overline{B.D}=1$ e $\overline{A.B}=1$.

$$t_{PLHtotal} = t_{PLHnot} + t_{PHLnand1} + t_{PLHnand2}$$

ou

$$t_{PHLtotal} = t_{PHLnot} + t_{PLHnand1} + t_{PHLnand2}$$

Exemplo (cont.)



	t_{PHL}	t_{PLH}
NOT	14ns	15ns
NAND	17ns	16ns

$$\begin{aligned}
 t_{Pmax} &= \max(14ns + 16ns + 17ns; 15ns + 17ns + 16ns) \\
 &= \max(47ns; 48ns) = 48ns
 \end{aligned}$$

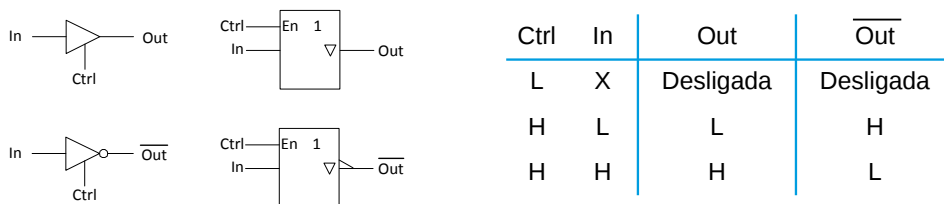
DISPOSITIVOS LÓGICOS ESPECIAIS

Dispositivos Especiais

- Para além das portas básicas, existem outros dispositivos lógicos que são importantes para garantir certo tipo de funcionalidades:
 - ▶ **Buffers de três estados (*tri-state*)**
 - ▶ **Portas de passagem (*transmission gates*)**

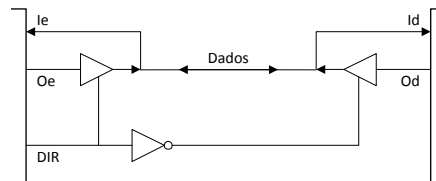
■ Buffer de três estados (*tri-state*):

- ▶ Dispositivo que, para além de uma entrada e uma saída de dados, dispõe ainda de uma entrada de controlo que define o comportamento da saída:
 - **Controlo = H** → o valor da saída é igual ao valor que se apresenta na entrada de dados;
 - **Controlo = L** → o porto de saída fica em alta impedância, i.e., a saída fica desligada electricamente.

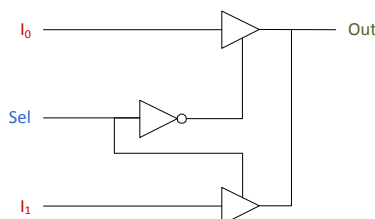


■ Exemplos de aplicação:

- ▶ Linha Bidireccional:

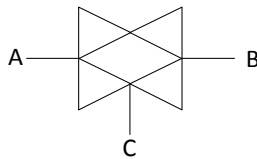


- ▶ Selecção de Sinais:



■ Portas de Passagem (*transmission-gates*):

- ▶ Permite, quando activada, a passagem de sinais em ambos os sentidos e em toda a gama de tensão, i.e., permite a passagem de sinais dentro ou fora dos níveis digitais da família lógica considerada (ex: CMOS, TTL, etc.) :





■ Tema da Próxima Aula:

- ▶ Circuitos combinatórios típicos:
 - Decodificadores
 - Codificadores
 - Multiplexeres
 - Demultiplexeres



Agradecimentos

Algumas páginas desta apresentação resultam da compilação de várias contribuições produzidas por:

- Guilherme Arroz
- Horácio Neto
- Nuno Horta
- Pedro Tomás