



TÉCNICO LISBOA

SISTEMAS DIGITAIS (SD)

MEEC

Acetatos das Aulas Teóricas

Versão 4.0 - Português

Aula Nº 13:

Título: Circuitos Sequenciais Básicos: Latches

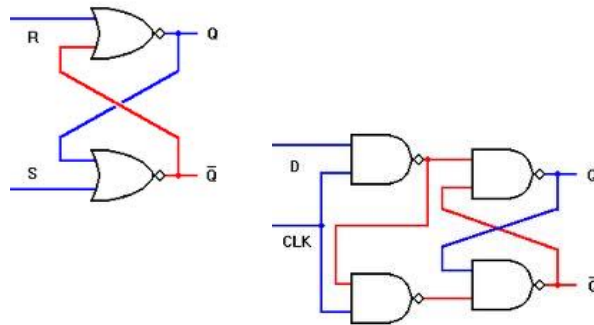
Sumário: Elementos básicos de memória; Latches (Latch RS, Latch RS sincronizado, Latch D); Flip-Flops.

2015/2016

Nuno.Roma@tecnico.ulisboa.pt

Sistemas Digitais (SD)

Circuitos Sequenciais Básicos: Latches



Aula Anterior

■ Na aula anterior:

- ▶ Linguagens de Descrição e Simulação de Circuitos Digitais (apoio ao laboratório):
 - Linguagens de descrição de Hardware
 - Introdução a VHDL:
 - Descrição de estruturas básicas em VHDL
 - Exemplos:
 - Cadeado digital
 - Unidade aritmética
 - Simulação de circuitos em VHDL
 - Xilinx ISE



SEMANA	TEÓRICA 1	TEÓRICA 2	PROBLEMAS/LABORATÓRIO
14/Set a 19/Set	Introdução	Sistemas de Numeração e Códigos	
21/Set a 26/Set	Álgebra de Boole	Elementos de Tecnologia	P0
28/Set a 3/Out	Funções Lógicas	Minimização de Funções Booleanas (I)	L0
5/Out a 10/Out	Minimização de Funções Booleanas (II)	Def. Circuito Combinatório; Análise Temporal	P1
12/Out a 17/Out	Circuitos Combinatórios (I) – Codif., MUXs, etc.	Circuitos Combinatórios (II) – Som., Comp., etc.	L1
19/Out a 24/Out	Circuitos Combinatórios (III) - ALUs	Linguagens de Descrição e Simulação de Circuitos Digitais	P2
26/Out a 31/Out	Circuitos Sequenciais: Latches	Circuitos Sequenciais: Flip-Flops	L2
2/Nov a 7/Nov	Caracterização Temporal	Registos	P3
9/Nov a 14/Nov	Revisões Teste 1	Contadores	L3
16/Nov a 21/Nov	Síntese de Circuitos Sequenciais: Definições	Síntese de Circuitos Sequenciais: Minimização do número de estados	P4
23/Nov a 28/Nov	Síntese de Circuitos Sequenciais: Síntese com Contadores	Memórias	L4
30/Nov a 5/Dez	Máq. Estado Microprogramadas: Circuito de Dados e Circuito de Controlo	Máq. Estado Microprogramadas: Endereçamento Explícito/Implícito	P5
7/Dez a 12/Dez	Circuitos de Controlo, Transferência e Processamento de Dados de um Processador	Lógica Programável	L5
14/Dez a 18/Dez	P6	P6	L6



■ Tema da aula de hoje:

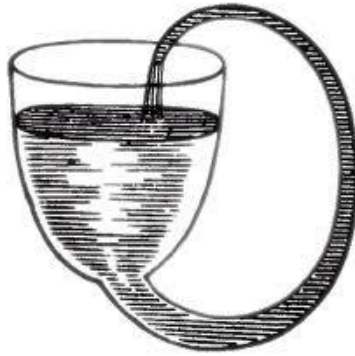
- ▶ Elementos básicos de memória
- ▶ Latches
 - Latch RS
 - Latch RS sincronizado
 - Latch D
- ▶ Flip-Flops

□ Bibliografia:

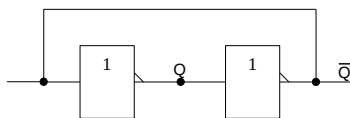
- M. Mano, C. Kime: Secções 5.1 a 5.2
- G. Arroz, J. Monteiro, A. Oliveira: Secções 6.1 a 6.3

■ Realimentação

- Aproximação ao princípio do movimento perpétuo...

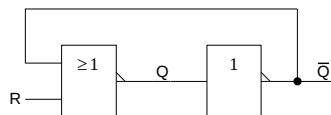


■ Circuitos simples com realimentação

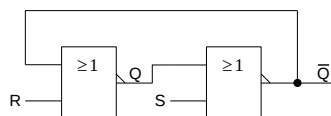


- 2 inversores em cascata:

- Elemento básico de memória.
- Posso armazenar um 1 (ou um 0) para sempre, mas não posso alterar o valor.

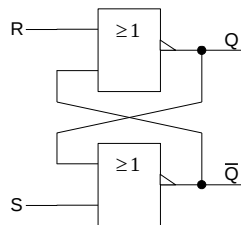


- A entrada R permite forçar Q a 0 (mas não permite forçá-lo a 1).



- A entrada R permite forçar Q a 0.
- A entrada S permite forçar Q a 1.

■ Latch RS

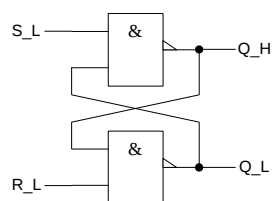


$R = 1$ e $S = 0 \rightarrow Q$ é forçado a 0 $\rightarrow$ **RESET**
 $R = 0$ e $S = 1 \rightarrow Q$ é forçado a 1 $\rightarrow$ **SET**
 $R = 0$ e $S = 0 \rightarrow$ mantém **estado anterior**
 $R = 1$ e $S = 1 \rightarrow$ não utilizada $\rightarrow$ **sem significado**
 (valor depende da implementação)

- O valor da saída do elemento de memória designa-se habitualmente por **estado**
- Um Latch tem 2 estados possíveis.

S	R	Q_{n+1}	$\overline{Q_{n+1}}$	
0	0	Q_n	$\overline{Q_n}$	HOLD
0	1	0	1	RESET
1	0	1	0	SET
1	1	U	U	Não Utilizada

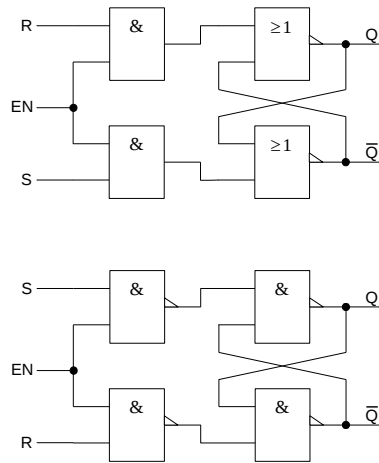
■ Latch RS com portas NAND



S_L	R_L	Q_{n+1_H}	
0	0	U	Não Utilizada
0	1	1	SET
1	0	0	RESET
1	1	Q_n_H	HOLD

- Quando o Latch é realizado com portas NAND, as entradas são activas a 0 (valor lógico que impõe o resultado da NAND).

■ Latch RS sincronizado / controlado



EN	S	R	Q_{n+1}	
1	0	0	Q_n	HOLD
1	0	1	0	RESET
1	1	0	1	SET
1	1	1	U	Não Utilizada
0	X	X	Q_n	HOLD

A entrada habilitadora ou **enable** (EN), permite controlar a aplicação das entradas de Set e de Reset ao latch.

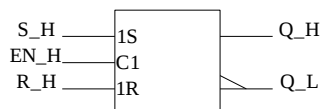
■ Latches RS – Simbologia

► Latch Simples



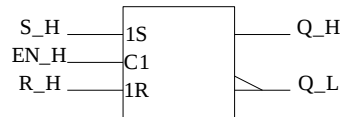
- A letra designa função:
S = Set; R = Reset.

► Latch Sincronizado

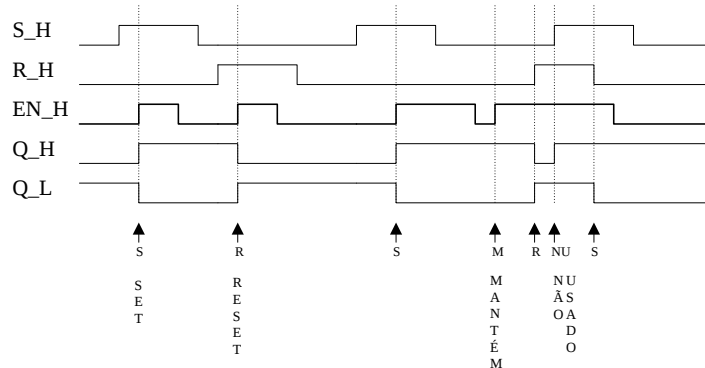


- A entrada de sincronismo é habitualmente designada por relógio – **Clock** (C)
- A letra designa função:
C = Clock; S = Set; R = Reset.
- O 1 à direita identifica a entrada
- O 1 à esquerda da letra implica dependência da entrada 1

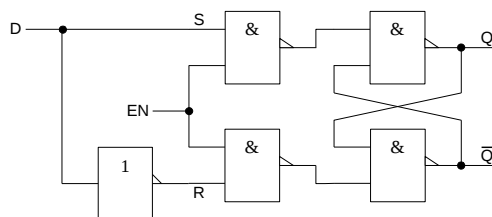
■ Latch sincronizado – diagrama temporal



Exemplo:



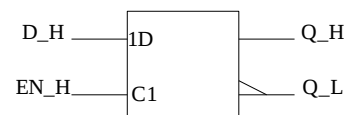
■ Latch D (sincronizado)



EN	D	Q_{n+1}	
1	0	0	RESET
1	1	1	SET
0	X	Q_n	HOLD

- Um dos modos de eliminar o estado indefinido no latch RS consiste em assegurar que as entradas R e S são sempre complementares.
- Obtém-se, assim, o latch D, que tem apenas 2 entradas: D (Data) e C (Clock).

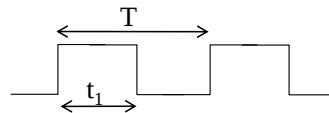
Símbolo



■ Circuitos síncronos

- ▶ Os circuitos sequenciais síncronos utilizam um sinal de **relógio global** para controlar a actualização de todos os elementos de memória do circuito:

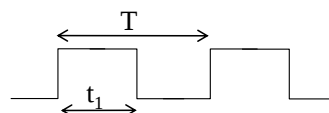
CLK – clock signal, ou
CP – clock pulse.



- ▶ Definições:

- **Período de relógio** (ex: 20ns): T
- **Frequência** (ex: 50 MHz): $f = 1/T$
- **Duty-cycle** (ex: 50%): t_1/T

■ Circuitos síncronos



- ▶ O sinal de relógio permite definir 2 fases de funcionamento:
 - fase de actualização dos elementos de memória (t_1)
 - fase de cálculo dos sinais de entrada dos elementos de memória ($T-t_1$)
- ▶ Deve, também, garantir que:
 - os elementos de memória mantêm o mesmo valor durante a fase de cálculo dos valores seguintes,
 - os elementos de memória actualizam os valores todos ao mesmo tempo (sincronamente).

■ Latches vs. Flip-Flops

- Os circuitos básicos de memória podem ser classificados em **latches** e **flip-flops**.



Latches:

- Se a entrada de activação (enable) de um latch sincronizado estiver ligada ao sinal de relógio, o seu estado está continuamente a ser actualizado enquanto o relógio estiver a 1.
- Como não é possível garantir que o estado dos latches se mantém estável durante a fase em que o sinal de relógio estiver a 1, não é também possível garantir que todos os latches mudem sincronamente num circuito complexo.
- Os latches têm aplicações muito específicas (menos complexos, mais rápidos), nomeadamente em circuitos assíncronos.

■ Latches vs. Flip-Flops

- Os circuitos básicos de memória podem ser classificados em **latches** e **flip-flops**.



Flip-Flops:

- Os flip-flops mudam as saídas apenas quando há uma variação do relógio (diz-se que são sensíveis ao flanco).
- Este modo de funcionamento garante que o seu estado só é alterado uma única vez em cada período de relógio.
- Esta característica permite que se utilize quase todo o período de relógio para geração de novos valores nas entradas.
- Os circuitos síncronos utilizam, na grande maioria dos casos, flip-flops (sensíveis ao flanco).



■ Tema da Próxima Aula:

- ▶ Flip-Flops
 - Flip-flop master-slave
 - Flip-flop JK
 - Flip-flop edge-triggered
- ▶ Simbologia
- ▶ Descrição e Simulação de Circuitos Sequenciais em VHDL



Agradecimentos

Algumas páginas desta apresentação resultam da compilação de várias contribuições produzidas por:

- Guilherme Arroz
- Horácio Neto
- Nuno Horta
- Pedro Tomás