

Licenciatura em Engenharia Informática

Disciplina de Sistemas Lógicos – 2º teste repescagem/melhoria – 14/1/2013

Duração: 1h20mn / Tolerância: 10mn / Sem consulta

Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas

Responda em folhas separadas aos vários grupos de questões

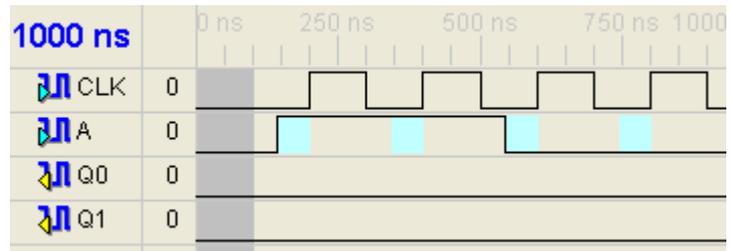
Q1 (3 + 3 valores)

a) Pretende-se realizar um registo com quatro bits de saída $Q_3Q_2Q_1Q_0$ que permita os seguintes modos de funcionamento:

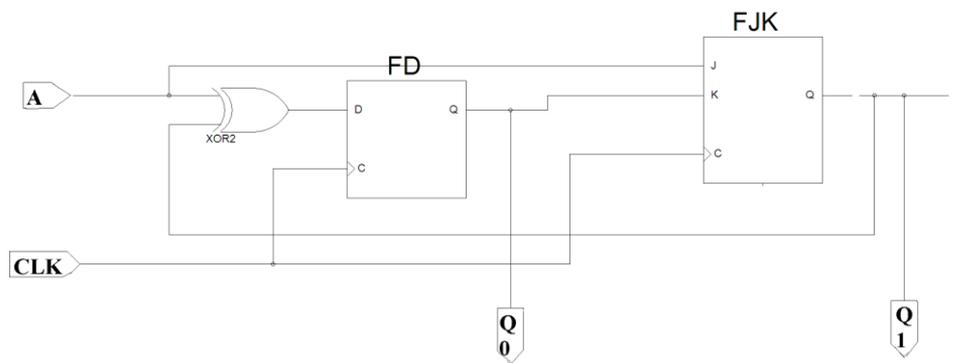
- quando $X=0$ então mantém o valor presente no registo.

- quando $X=1$ então desloca o conteúdo do registo em uma posição; se $Y=0$ será para a esquerda recebendo o valor Z no bit mais à direita; se $Y=1$ será para a direita recebendo o valor Z no bit mais à esquerda.

Apresente justificando o diagrama lógico (esquemático) para o referido registo.



b) Considere o circuito sequencial síncrono representado pelo esquemático (ao lado). A partir do estado inicial $Q_0Q_1 = 00$, complete o diagrama temporal (ao lado).



Q2 (2 + 3,5 + 2,5 valores)

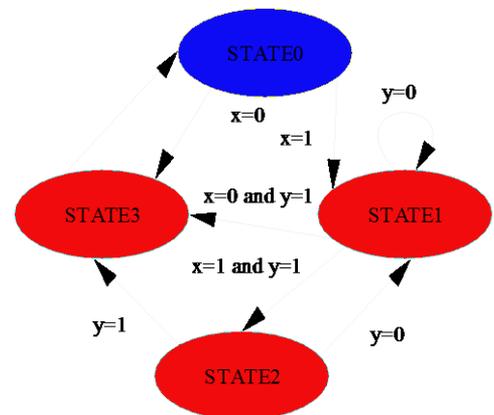
a) Pretende-se projectar um contador síncrono, com 3 bits, que contará em módulo 6, utilizando os estados de contagem 0, 6, 1, 4, 2 e 3 (em decimal, por esta ordem), sendo o estado 0 o estado inicial de contagem. Nota: As saídas coincidem com as variáveis de estado. Apresente tabela de transição de estados codificados.

b) Utilizando um flip-flop D para o bit mais significativo, outro do tipo T para o segundo bit e outro do tipo JK para o bit menos significativo, apresente as tabelas das entradas D, T, J e K, mapas de Karnaugh associados e expressões simplificadas (não é necessário apresentar o esquema lógico).

c) Considere que o contador arranca no estado 7 (devido a mau funcionamento). Indique o estado seguinte resultante da solução apresentada na alinea anterior. Justifique a resposta.

Q3 (3,5 + 2,5 valores)

a) Pretende-se desenvolver um sistema para detectar a sequência 01101^+ presente numa entrada X, em que 1^+ significa uma ou mais ocorrências do símbolo 1. A saída Z deve tomar o valor 1 quando a sequência é detectada. Considere que são de considerar sobreposições entre sequências válidas (isto é, a saída de uma sequência pode contribuir para a sequência seguinte). Apresente um diagrama de estados para o detector de sequência.



b) Considere o diagrama de estados esquematizado na figura (ao lado). Apresente a tabela de transição de estados e saídas associado.