

***Mestrado integrado e Licenciatura em Engenharia Informática***

Disciplina de Sistemas Lógicos – Exame recurso(2) – 20/1/2014

Duração: 1h50mn Tolerância: 10mn Sem consulta

Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas

**Responda em folhas separadas aos vários grupos de questões**

**Q1 ( 2,5 + 3 + 3 + 3 valores )**

- a) Considere o código 2-em-5 composto por cinco bits ABCDE. Considerando que a regra de construção do código garante que dois bits são 1 e três bits são 0, apresente a **tabela de verdade da função ‘F’** que só tem saída 1 quando um código válido está presente.
- b) Considere a função  $f(A, B, C) = \Sigma(0,2,3,7)$ . Recorrendo à utilização de **multiplexers (terá que usar pelo menos um multiplexer) e lógica adicional (se necessário)**, implemente a função referida. Pode utilizar qualquer tipo de multiplexer, sendo **preferível a solução que utilize globalmente o menor número de portas lógicas**, considerando que um multiplexer de N variáveis de entrada tem o equivalente a  $2^N+1$  portas lógicas.
- c) Pretende-se construir um sistema para realizar uma operação aritmética envolvendo quatro números A, B, C e D, com A e D de um bit e B e C de dois bits de representação (índice 1 = bit mais significativo; índice 0 = bit menos significativo):  $F=(B+C) \times A+D=([B_1 B_0]+[C_1 C_0]) \times A+D$ . Tendo disponíveis blocos semi-somadores, somadores-completos e alguma lógica adicional que considere necessária, **apresente e justifique um diagrama de blocos que realize a função descrita, privilegiando a solução com menor número de recursos**. Nota: um bloco semi-somador possui dois bits de entrada e dois bits de saída que correspondem à soma e transporte dos bits de entrada; um bloco somador-completo possui três bits de entrada e dois bits de saída que correspondem à soma e transporte dos bits de entrada.
- d) Pretende-se desenvolver um sistema para detectar a presença das sequências ‘01’ e também ‘10’ numa entrada série binária X. A saída Z deve tomar o valor 1 quando qualquer uma das sequências é detectada. Considere que são de considerar sobreposições entre sequências válidas (isto é, a saída de uma sequência pode contribuir para a sequência seguinte). **Apresente um diagrama de estados para o detector de sequência.**

**Q2 ( 2,5 + 3,5 + 2,5 valores )**

Pretende-se projetar um contador síncrono de 3 bits que contará em módulo 6, utilizando os estados de contagem 0, 1, 4, 6, 5 e 2 (em binário natural, e por esta ordem), sendo o estado 0 o estado inicial de contagem. O contador possui uma entrada X que controla o modo funcionamento do contador: X=0 segue para o próximo estado com saída par; X=1 segue para o próximo estado com saída ímpar. Nota: As saídas coincidem com as variáveis de estado. Nota 2: considere que o zero é par.

- a) **Apresente tabela de transição de estados codificados do contador.** IMPORTANTE: Considere como *don't care* as situações não previstas na especificação do contador!
- b) Utilizando flip-flops do tipo D para o bit mais significativo, T para o bit menos significativo e JK para o bit do meio, **apresente as tabelas das entradas D, J, K e T, mapas de Karnaugh associados e expressões simplificadas** (não é necessário apresentar o esquema lógico). IMPORTANTE: Considere como *don't care* as situações não previstas na especificação do contador!
- c) Considere que o contador arranca no estado com todas as variáveis de estado a 1 (devido a mau funcionamento). **Indique os estados seguintes quando X=0 e quando X=1 resultantes da solução apresentada na alínea anterior. Justifique a resposta.**