

***Mestrado integrado e Licenciatura em Engenharia Informática***

Disciplina de Sistemas Lógicos – Exame recurso – 18/1/2014

Duração: 1h50mn Tolerância: 10mn Sem consulta

Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas

**Responda em folhas separadas aos vários grupos de questões**

**Q1 ( 2,5 + 3 + 3 + 3 valores )**

- a) Considere que tem cinco variáveis ABCD|E que compõem um código com 4 bits mais paridade. O bit 'E' (bit de paridade) representa a paridade (par='0'; impar='1') do número de transições (de zero para um e de um para zero) na sequência ABCD. Nota: A paridade é vulgarmente utilizada para detectar erros nas transmissões já que o seu cálculo é extremamente simples. Apresente a **tabela de verdade da função 'E'** que determina o código de paridade descrito.
- b) Considere a função  $f(A, B, C) = \Pi(0, 2, 3, 7)$ . Recorrendo à utilização de **descodificadores (terá que usar pelo menos um descodificador) e lógica adicional (se necessário)**, implemente a função referida. Pode utilizar qualquer tipo de descodificador, sendo **preferível a solução que utilize globalmente o menor número de portas lógicas**, considerando que um descodificador de N variáveis de entrada tem o equivalente a  $2^N$  portas lógicas.
- c) Pretende-se construir um sistema para realizar uma operação aritmética envolvendo quatro números de entrada, A, B, C e D, onde A, B e D têm um bit e C tem dois bits,  $C_1$  (mais significativo) e  $C_0$  (menos significativo):  $F = A \times (B + [C_1 C_0]) + D$ . Tendo disponíveis blocos semi-somadores, somadores-completos e alguma lógica adicional que considere necessária, **apresente e justifique um diagrama de blocos que realize a função descrita, privilegiando a solução com menor número de recursos**. Nota: um bloco semi-somador possui dois bits de entrada e dois bits de saída que correspondem à soma e transporte dos bits de entrada; um bloco somador-completo possui três bits de entrada e dois bits de saída que correspondem à soma e transporte dos bits de entrada.
- d) Pretende-se desenvolver um sistema para detectar a presença de uma sequência de dois bits seguidos iguais (iguais a zero ou iguais a um) numa entrada série binária X. A saída Z deve tomar o valor 1 quando a sequência é detectada. Considere que são de considerar sobreposições entre sequências válidas (isto é, a saída de uma sequência pode contribuir para a sequência seguinte). **Apresente um diagrama de estados para o detector de sequência**.

**Q2 ( 2,5 + 3,5 + 2,5 valores )**

Pretende-se projetar um contador síncrono de 3 bits, com RESET síncrono, que contará em módulo 6, utilizando os estados de contagem 0, 4, 2, 1, 3 e 6 (em binário natural, e por esta ordem), sendo o estado 0 o estado inicial de contagem. A entrada RESET controla o modo funcionamento do contador: quando RESET=0 o circuito conta de forma ascendente segundo a ordem atrás especificada; quando RESET=1 o contador segue para o estado inicial de contagem. Nota: As saídas coincidem com as variáveis de estado.

- a) **Apresente tabela de transição de estados codificados do contador**. IMPORTANTE: Considere como *don't care* as situações não previstas na especificação do contador!
- b) Utilizando flip-flops D, **apresente as tabelas das entradas  $D_2$ ,  $D_1$  e  $D_0$ , mapas de Karnaugh associados e expressões simplificadas** (não é necessário apresentar o esquema lógico). IMPORTANTE: Considere como *don't care* as situações não previstas na especificação do contador!
- c) Considere que o contador arranca no estado com todas as variáveis de estado a 1 (devido a mau funcionamento). **Indique os estados seguintes quando RESET=0 e quando RESET=1 resultantes da solução apresentada na alínea anterior. Justifique a resposta**.