

Mestrado integrado e Licenciatura em Engenharia Informática

Disciplina de Sistemas Lógicos – 2º teste (recurso2) – 20/01/2014

Duração: 1h20mn | Tolerância: 10mn | Sem consulta

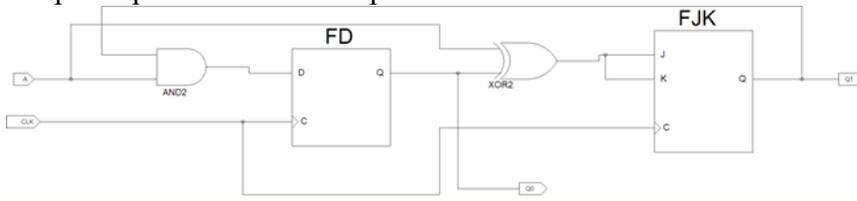
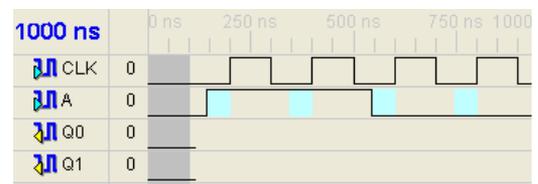
Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas

Responda em folhas separadas aos dois grupos de questões

Q1 (3 + 3 + 4 valores)

a) Utilizando um flip-flop do tipo T, **apresente, justificando, o circuito necessário para obter um flip-flop do tipo D.**

b) Considere o circuito sequencial síncrono representado pelo esquemático (em baixo). A partir do estado inicial $Q1=0$ e $Q0=0$, **complete o diagrama temporal em relação a Q1 e Q0 segundo a variação das entrada 'A' e CLK (Clock) representada.** Utilize a folha de resposta e não o enunciado para apresentar a sua resposta.



c) Pretende-se desenvolver um sistema para detectar a presença das sequências '01' e também '10' numa entrada série binária X. A saída Z deve tomar o valor 1 quando qualquer uma das sequências é detectada. Considere que são de considerar sobreposições entre sequências válidas (isto é, a saída de uma sequência pode contribuir para a sequência seguinte). **Apresente um diagrama de estados para o detector de sequência.**

Q2 (3 + 4 + 3 valores)

Pretende-se projetar um contador síncrono de 3 bits que contará em módulo 6, utilizando os estados de contagem 0, 1, 4, 6, 5 e 2 (em binário natural, e por esta ordem), sendo o estado 0 o estado inicial de contagem. O contador possui uma entrada X que controla o modo funcionamento do contador: $X=0$ segue para o próximo estado com saída par; $X=1$ segue para o próximo estado com saída impar. Nota: As saídas coincidem com as variáveis de estado. Nota 2: considere que o zero é par.

a) **Apresente tabela de transição de estados codificados do contador.** IMPORTANTE: Considere como *don't care* as situações não previstas na especificação do contador!

b) Utilizando flip-flops do tipo D para o bit mais significativo, T para o bit menos significativo e JK para o bit do meio, **apresente as tabelas das entradas D, J, K e T, mapas de Karnaugh associados e expressões simplificadas** (não é necessário apresentar o esquema lógico). IMPORTANTE: Considere como *don't care* as situações não previstas na especificação do contador!

c) Considere que o contador arranca no estado com todas as variáveis de estado a 1 (devido a mau funcionamento). **Indique os estados seguintes quando $X=0$ e quando $X=1$ resultantes da solução apresentada na alínea anterior. Justifique a resposta.**