FACULDADE DE CIÊNCIAS E TECNOLOGIA
UNIVERSIDADE NOVA DE LISBOA

Departamento de Engenharia Eletrotécnica

Mestrado integrado em Engenharia Informática

Disciplina de Sistemas Lógicos – 1º teste (Repescagem) – 16/01/2016

Duração: 1h20mn | Tolerância: 10mn | Sem consulta

Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas

Responda em folhas separadas aos dois grupos de questões

Q1 (3 + 3 + 3 + 1 valores)

a) Considere uma representação binária de números com sinal a 5 bits. Indique, justificadamente, o intervalo de números inteiros que pode representar utilizando uma representação binária em complemento-para-1 e em complemento-para-2. Considerando os códigos '01101' e '11101', refira justificadamente que números decimais estão representados quando considerando uma representação em complemento-para-2 e uma representação em complemento-para-1 dos códigos apresentados.

b) Considere uma mesa redonda com quatro lugares dispostos ao seu redor a cada um dos pontos cardeais representados aqui pelas variáveis N, S, E, O (para Norte, Sul, Este e Oeste) (valor lógico '1' – pessoa sentada; valor lógico '0' – cadeira vazia). Apresente a tabela de verdade de uma função F(N,S,E,O) que fornece uma saída a '1' sempre que, pelo menos, dois indivíduos estejam sentados lado a lado, e '0' nas restantes situações.

c) Considere a função:

$$f(A,B,C,D) = \prod(0,2,9,11,13,15) + d(5,7,8,10).$$

c1) Obtenha uma expressão simplificada na forma de um produto de somas por mapa de Karnaugh;
c2) Apresente a função utilizando uma representação equivalente recorrendo a lista de mintermos.

Q2 (3,5 + 3 + 3,5 valores)

a) Considere a função booleana $f(X,Y,W,Z) = \sum(5,7,8,9,10,11,12)$. Recorrendo a um descodificador de 2-para-4 linhas (2 entradas para 4 saídas) e lógica adicional, implemente a referida função. Nota: deverá utilizar sempre um, e só um, descodificador!

b) Pretende-se construir um sistema para realizar uma operação aritmética envolvendo três números de entrada, A, B e C, em que A tem dois bits (A_1 e A_0) e B e C têm 1 bit cada. A operação pretendida é A×B+(C+1) = [A_1A_0]×B+(C+1), onde × representa a operação aritmética de multiplicação e + representa a operação aritmética de adição. Caracterize a saída do sistema (quantos bits de saída) e apresente a tabela de verdade associada.

c) Tendo disponíveis blocos semi-somadores, somadores-completos, semi-subtractores e subtractores completos e alguma lógica adicional (ANDs, ORs, INVs, etc.) que considere necessária, apresente e justifique um diagrama de blocos que realize a função descrita na alínea anterior. *Nota: um bloco semi-somador (semi-subtractor) possui dois bits de entrada e dois bits de saída que correspondem à soma (subtracção) e transporte dos bits de entrada; um bloco somador-completo (subtractor-completo) possui três bits de entrada e dois bits de saída que correspondem à soma (subtracção) e transporte dos bits de entrada.*