FACULDADE DE CIÊNCIAS E TECNOLOGIA
UNIVERSIDADE NOVA DE LISBOA

Departamento de Engenharia Eletrotécnica

Mestrado integrado em Engenharia Informática

Sistemas Lógicos – 2º teste (Repescagem) – 16/01/2016

Duração: 1h20mn | Tolerância: 10mn | Sem consulta

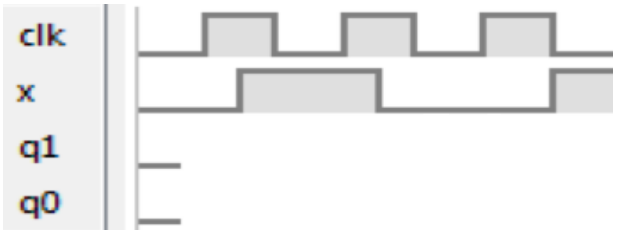
Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas

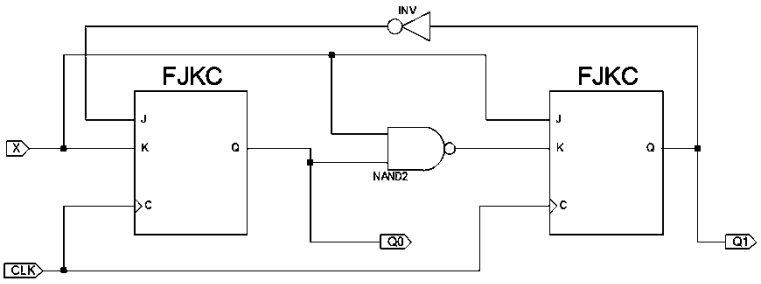
Responda em folhas separadas aos grupos de questões

Q1 (3 + 3 + 3 valores)

a) Utilizando um flip-flop do tipo D, apresente, justificando, o circuito necessário para obter um flip-flop do tipo JK com entrada de activação (E de *Enable*). *Nota: Quando a E=0 o flip-flop mantém o seu estado; quando E=1 o flip-flop apresenta o comportamento típico de um FF do tipo JK.*

b) Considere o circuito sequencial síncrono segundo o esquemático apresentado abaixo. Tomando o estado inicial Q_1Q_0=00, complete o diagrama temporal:





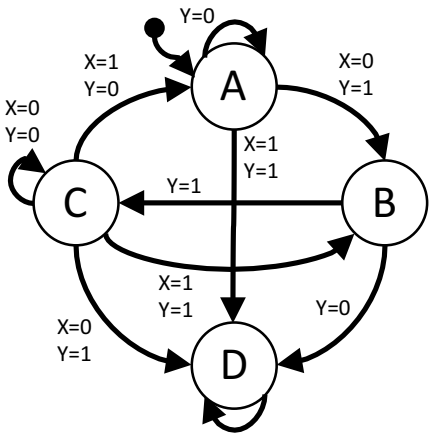
c) Pretende-se desenvolver um sistema que detecta duas sequências (em simultâneo): 0110 e 0100, presentes numa entrada X. Uma saída Z fica activa (Z = 1) sempre que qualquer uma das sequências for detectada. Considere como de interesse detetar sobreposições entre sequências, isto é, a saída de uma sequência (completa ou parcial) pode contribuir para a sequência seguinte. Apresente um diagrama de estados para o detector de sequências descrito.

Q2 (2,5 + 3 + 2,5 + 3 valores)

Pretende-se projetar um contador síncrono de 3 bits (Q2, Q1, Q0), que contará em módulo 4, utilizando os estados de contagem 7, 6, 5, 0 (em decimal, por esta ordem) e contendo uma entrada X, que sempre que igual a '1' faz o contador saltar para o estado inicial. Nota: as saídas, que representam o estado de contagem em binário, coincidem com as variáveis de estado.

a) Apresente a tabela de transição de estados codificados. *Importante: considere como don't care as situações não previstas na especificação do contador!*

b) Utilizando flip-flops do tipo T, apresente tabelas de verdade das entradas dos flip-flops, mapas de Karnaugh associados e expressões simplificadas (nota: não necessita apresentar o esquemático do circuito). *Importante: considere como don't care as situações não previstas na especificação do contador!*

c) Considere que o flip-flop associado ao bit mais significativo (i.e. Q2) sofre uma avaria que faz com que a sua entrada permaneça sempre a '1'. Refira, justificadamente, qual seria agora a sequência de contagem considerando esta situação?

d) Considere o diagrama de estados da figura imediatamente ao lado. Apresente a tabela de transição de estados, uma codificação de estados possível e a tabela de transição de estados codificados correspondente.