

Mestrado integrado em Engenharia Informática - Sistemas Lógicos – Exame Recurso

20/01/2017 - Duração: 1h50mn | Tolerância: 10mn | Sem consulta

Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas

Responda em folhas separadas aos grupos de questões

Q1 (2,5 + 2,5 valores)

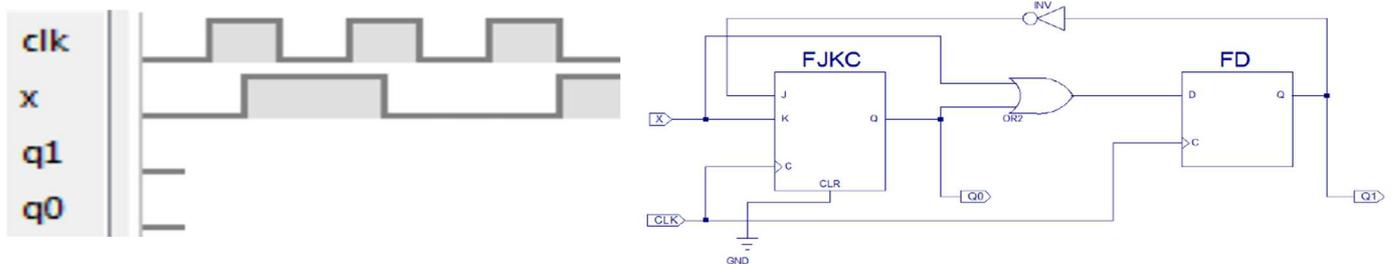
- a) Pretende-se especificar um sistema através da sua tabela de verdade permitindo realizar a comparação de dois números X e Y de dois bits cada representados em binário natural ($X=[X_1X_0]$ e $Y=[Y_1Y_0]$). Apresente a tabela de verdade da função $F(X_1, X_0, Y_1, Y_0)$ que determina $X \gg Y$ onde a operação ' \gg ' significa 'muito maior do que', i.e. maior do que uma unidade entre os operandos.
- b) Considere a função $f(A, B, C, D) = \sum(5, 7, 8, 9, 10, 11, 12, 13, 15)$. Recorrendo à utilização de multiplexers (pelo menos um) e lógica adicional se necessário, implemente a função referida. Pode utilizar qualquer tipo de multiplexer, sendo preferível a solução que utilize menor número de portas (considerando que um MUX de N variáveis de seleção tem $2^N + 1$ portas).

Q2 (2,5 + 2,5 valores)

- a) A partir de um flip-flop D, implemente um flip-flop JK. Justifique a solução que apresentar.
- b) Pretende-se construir um sistema para realizar uma operação aritmética envolvendo três números de entrada, A, B e C, em que A tem dois bits (A_1 e A_0) e B e C têm 1 bit cada. A operação pretendida é $(A+C) \times B = ([A_1A_0]+C) \times B$, onde \times representa a operação aritmética de multiplicação e $+$ representa a operação aritmética de adição. Tendo disponíveis blocos semi-somadores, somadores-completos, semi-subtractores e subtractores completos e alguma lógica adicional (ANDs, ORs, INVs, etc.) que considere necessária, apresente e justifique um diagrama de blocos que realize a função descrita na alínea anterior. *Nota: um bloco semi-somador (semi-subtractor) possui dois bits de entrada e dois bits de saída que correspondem à soma (subtração) e transporte dos bits de entrada; um bloco somador-completo (subtractor-completo) possui três bits de entrada e dois bits de saída que correspondem à soma (subtração) e transporte dos bits de entrada.*

Q3 (2 + 3 valores)

- a) Considere o circuito sequencial síncrono segundo o esquemático apresentado abaixo. Tomando o estado inicial $Q_1Q_0=00$, complete o diagrama temporal, explicando o método que utilizou para a sua construção:



- b) Pretende-se desenvolver um sistema que detecta qualquer uma de duas sequências: 11110 e 11101, presentes numa entrada X. Uma saída Z fica activa ($Z = 1$) sempre que qualquer uma das sequências for detectada. Considere como de interesse detetar sobreposições entre sequências, isto é, a saída de uma sequência (completa ou parcial) pode contribuir para a sequência seguinte. Apresente um diagrama de estados para o detector de sequências descrito.

Q4 (2 + 3 valores)

Pretende-se projetar um contador síncrono de 3 bits (Q_2, Q_1, Q_0), com uma entrada X, que quando $X=1$ contará em módulo 5, utilizando os estados de contagem 0, 6, 5, 4, 3 (em decimal, por esta ordem) e que sempre que $X=0$ faz o contador saltar para o estado inicial (0). Nota: as saídas, que representam o estado de contagem em binário, coincidem com as variáveis de estado.

- a) Apresente a tabela de transição de estados codificados. Importante: considere como don't care as situações não previstas na especificação do contador!
- b) Utilizando flip-flops do tipo T, apresente tabelas de verdade das entradas dos flip-flops, mapas de Karnaugh associados e expressões simplificadas (nota: não necessita apresentar o esquemático do circuito).