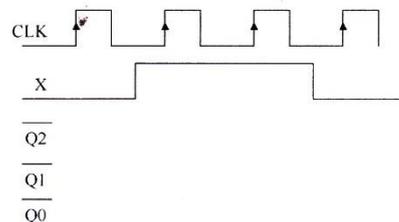
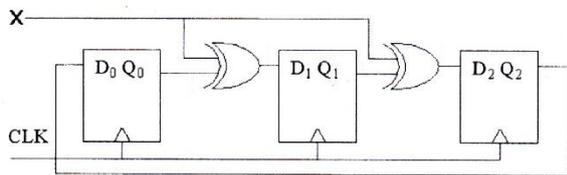


Q1 (3 + 3 valores)

- a) Utilizando um flip-flop do tipo JK, apresente, justificando, o circuito necessário para obter um flip-flop do tipo T.
- b) Considere o circuito sequencial síncrono segundo o esquemático apresentado (os flip-flops são sensíveis ao flanco ascendente do sinal de relógio). Tomando o estado inicial $Q_2Q_1Q_0=111$, complete o diagrama temporal justificando cada evolução dos sinais de saída:



Q2 (3 + 3 valores)

- a) Pretende-se desenvolver um sistema síncrono que detecta a sequência 11^*01 , presente numa entrada X (atualizada ao ritmo do sinal de relógio), em que 1^* representa um número qualquer de 1s. Uma saída Y fica activa ($Y = 1$) sempre que a sequência for detectada. Considere como de interesse detetar sobreposições entre sequências, isto é, a saída de uma sequência (completa ou parcial) pode contribuir para a sequência seguinte. Apresente um diagrama de estados para o detector de sequências descrito.
- b) Pretende-se realizar um registo com 3 bits utilizando flip-flops D que tenha dois modos de funcionamento, de acordo com a variável de entrada X. Quando $X=0$, o registo deve manter o valor; quando $X=1$, o registo deve incrementar o valor (em módulo 8). Para além dos flip-flops D, poderá utilizar qualquer módulo que considere conveniente (multiplexers, ...). Apresente o esquemático (diagrama lógico) associado e justifique.

Q3 (2 + 4 + 2 valores)

Pretende-se projetar um contador síncrono com dois modos de funcionamento, dependendo de uma entrada MODO. O contador tem 2 bits de saída de contagem (Q_1, Q_0), que coincidem com as variáveis de estado e uma saída OUT que deteta o estado de contagem 00. Quando $MODO='0'$ o contador manterá o estado de contagem; quando $MODO='1'$, contará em módulo 4, utilizando os estados de contagem 00, 01, 10, 11.

- a) Apresente a tabela de transição de estados codificados e saídas.
- b) Utilizando flip-flops do tipo JK, apresente tabelas de verdade das entradas dos flip-flops e saídas, mapas de Karnaugh associados e expressões simplificadas (nota: não necessita apresentar o esquemático do circuito).
- c) Considere que devido a um contacto deficiente o sistema sofre uma avaria e o flip-flop Q_0 (menos significativo) fica com a saída sempre ligada a '1'. Refira, justificadamente, quais são os estados seguintes a partir do estado 11, considerando $MODO='1'$ e $MODO='0'$, tendo em conta a resolução da alínea anterior.