

Laboratório 8: Semana 13 de Novembro a 23 de Novembro

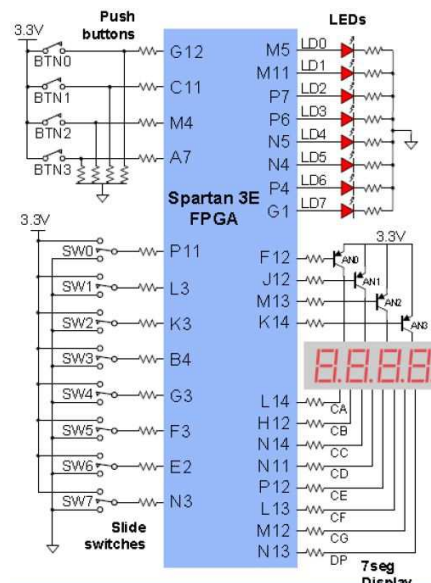
Objetivos:

Desenho de contadores síncronos.

Exercício 24: Projeto de contador síncrono módulo 5

- Projetar um contador síncrono módulo 5, em que os estados de contagem são de 0 a 4, considerando os modos de funcionamento ascendente e descendente, de acordo com um sinal de entrada UP (UP=1 → ascendente; UP=0 → descendente). O estado de contagem é codificado através de 3 flip-flops, utilizando um flip-flop D para Q0, um flip-flop JK para Q1, e um flip-flop T para Q2. Adicionalmente, considere uma saída XPT0 que estará ativa sempre que o estado de contagem 0 esteja ativo. (Considere os nove passos da metodologia de desenvolvimento apresentada nas aulas teóricas)
- No caso do contador se encontrar num dos estados não especificados, qual seria a evolução dos seus estados?
- Altere o projeto do contador de modo a que sempre que se encontre num estado não especificado, evolua para o estado de contagem inicial. Apresente uma solução síncrona.
- Confirme experimentalmente os resultados obtidos na alínea a) configurando a FPGA da placa de experimentação disponível no laboratório. Considere a seguinte lista de pinos (ficheiro .UCF):

```
NET "clk" LOC = "G12";
NET "clk" CLOCK_DEDICATED_ROUTE = FALSE;
NET "UP" LOC = "K3";
NET "XPT0" LOC = "P6";
NET "Q0" LOC = "M5";
NET "Q1" LOC = "M11";
NET "Q2" LOC = "P7";
```



- Recorrendo ao módulo externo disp_basys2_SL.vhd (disponível na área moodle da unidade curricular) utilize os displays de 7 segmentos para apresentar o estado de contagem no dígito 0. Considere a seguinte lista de pinos (ficheiro .UCF):

```
# net list display 7 segmentos
NET "clk_auto" LOC="B8";
NET "ca" LOC="L14";
NET "cb" LOC="H12";
NET "cc" LOC="N14";
NET "cd" LOC="N11";
NET "ce" LOC="P12";
NET "cf" LOC="L13";
NET "cg" LOC="M12";
NET "cp" LOC="N13";
NET "an3" LOC="K14";
NET "an2" LOC="M13";
NET "an1" LOC="J12";
NET "an0" LOC="F12";
```

disp_basys2SL

