

**Arquitectura de Computadores**  
**Licenciatura em Engenharia Informática**  
Exame de Época Normal (A) – 2009/06/25 – Duração: 2h30m

Nome: \_\_\_\_\_ Número: \_\_\_\_\_

Teste sem consulta.

A interpretação do enunciado faz parte da avaliação. Explícite nas suas respostas todas as hipóteses assumidas. Por favor, tente focalizar a sua respostas para que estas se enquadrem na zona delimitada.

## 1 Teórica - Escolha Múltipla

Indique o número da resposta que achar correcta no quadrado definido para o efeito. Cada resposta errada desconta 20% da cotação da pergunta.

---

**Q-1 [1.00 val.]** No contexto da arquitectura Intel IA-32:

1. O registo **esp** é um registo de uso geral
2. O registo **eip** é um registo de uso geral
3. O registo **ebx** é um registo de uso geral
4. O registo **ebi** é um registo de uso geral

Opção correcta

---

**Q-2 [1.00 val.]** Na arquitectura MIPS

1. as instruções máquina têm um tamanho fixo
2. as instruções aritméticas podem aceder a posições de memória
3. as instruções de controlo podem aceder a posições de memória
4. não existe suporte para a passagem de argumentos por pilha

Opção correcta

---

**Q-3 [1.00 val.]** Considere uma arquitectura com endereçamento a 32 bits e uma memória cache de 1MByte associativa por grupos, com grupos de 8 blocos, onde cada bloco tem 128 Bytes. Qual é o endereço correspondente ao byte 14 no bloco com chave 4 no grupo 33?

1. 0000 0000 0000 1000 0001 0000 1000 1110
2. 0000 0000 0000 0000 1001 0000 1000 1110
3. 0000 0001 0000 0000 0001 0000 1000 1110
4. 0000 0000 0000 1001 0000 1000 0000 1110

Opção correcta

---

**Q-4 [1.00 val.]** Uma operação de DMA pretende melhorar a taxa de transferência de dados:

1. entre um periférico e o seu controlador
2. de, e para, periféricos orientados ao byte
3. de, e para, periféricos orientados ao bloco
4. entre a memória e o CPU

Opção correcta

---

**Q-5 [1.00 val.]** GPGPU consiste em:

1. ter num CPU instruções para lidar com computação gráfica
2. usar GPUs para realizar computação de carácter geral
3. ter várias placas gráficas numa única arquitectura
4. ter placas gráficas com vários *cores*

Opção correcta

## 2 Teórica - Desenvolvimento

**Q-6** No contexto da arquitectura Intel IA-32:

a) [0.50 val] Existem registos de uso geral de 32 bits que contêm sub-registos de capacidades inferiores, por exemplo 16 bits. Diga que registos são estes e, para **um** deles, indique quais o nome dos seus sub-registos.

---

---

---

b) [1.00 val] Explique o porquê da necessidade de existirem registos com capacidades diferentes.

---

---

---

---

---

---

---

c) [1.00 val] Indique quais são, e em que consistem, os modos de endereçamento usados na instrução **add dword [ebp+4], 5**

---

---

---

---

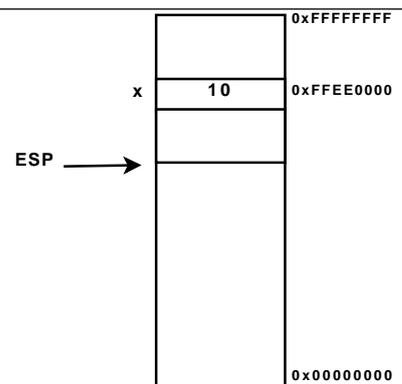
---

---

---

d) [1.50 val] Complete a figura com a frame de activação da função **func** antes da execução da instrução indicada pela seta. Considere que a função foi chamada com os valores 10 e &x: **func(10, &x)**  
Note que a figura mostra o estado da pilha antes de a função ter sido chamada.

```
int func(int a, int *b) {  
    int c = a + *b;  
    return c; <=====  
}
```



**Q-7** Considere o conjunto de instruções à esquerda e o pipeline à direita

```
salto:  add eax, 4  
        add ebx, eax  
        cmp eax, 100  
        je salto  
        xor ebx, ebx  
        mov ecx, 20
```



a) [1.00 val] O código, tal como está, não pode ser introduzido no pipeline; porquê? Indique os pontos do código que causam este impedimento.

---

---

---

---

---

---

---

b) [1.50 val] Indique que soluções podem ser utilizadas para resolver os problemas referidos na alínea anterior.

---

---

---

---

---

---

---

---

---

---

**Q-8 [1.00 val.]** Quanta memória pode utilizar um programa na arquitectura Intel IA-32? Justifique com os cálculos.

---

---

---

---

**Q-9 [2.00 val.]** Faça um esquema que ilustre os componentes e o funcionamento da MMU numa arquitectura com memória virtual e paginação a pedido. Enumere todos os passos necessários à conversão de um endereço virtual para real e use essa numeração para elaborar a legenda do esquema.

Legenda:

---

---

---

---

---

---

**Q-10 [1.00 val.]** Considere que em média um programa passa 20% do seu tempo de processamento em acessos a disco. Calcule qual é o impacto da substituição do disco corrente por um outro que introduza em média um *speedup* de 2 em cada acesso. **Nota:** pode deixar o resultado em forma de expressão.

---

---

---

**Q-11 [1.00 val.]** Comente a afirmação: “O leitor de CDs é um periférico orientado ao bloco”

---

---

---

---

---

**Q-12 [1.50 val.]** Descreva qual é o conjunto de operações executadas pelo CPU desde que recebe a notificação da existência de uma interrupção até iniciar a execução da rotina de atendimento.

---

---

---

---

---

---

---

---

---

---

**Q-13 [1.00 val.]** Explique, sucintamente, em que consiste uma arquitectura *multi-core*, nomeadamente as suas diferenças para os processadores anteriormente existentes.

---

---

---

---

---

---

---

---

---

---

**Q-14 [1.00 val.]** Comente a seguinte afirmação: “*As arquitecturas actuais não contêm instruções capazes de realizar processamento SIMD*”.

---

---

---

---

---

---

---

---

---

---