

Arquitectura de Computadores
Licenciatura em Engenharia Informática
Exame de Recurso (A) – 2009/07/16 – Duração: 2h30m

Nome: _____ Número: _____

Teste sem consulta.

A interpretação do enunciado faz parte da avaliação. Explícite nas suas respostas todas as hipóteses assumidas. Por favor, tente focalizar a sua respostas para que estas se enquadrem na zona delimitada.

1 Teórica - Escolha Múltipla

Indique o número da resposta que achar correcta no quadrado definido para o efeito. Cada resposta errada desconta 20% da cotação da pergunta.

Q-1 [1.00 val.] No contexto da arquitectura Intel IA-32 a instrução **cmp** op1, op2:

1. subtrai op2 a op1, guardando o resultado da operação e o valor das flags
2. subtrai op2 a op1, guardando apenas o valor das flags
3. não faz qualquer operação, apenas guarda o valor das flags
4. compara a subtracção de op2 a op1 com 0

Opção correcta

Q-2 [1.00 val.] O conceito de localidade é fulcral para o sucesso

1. dos registos
2. da segmentação
3. das memórias cache
4. do DMA

Opção correcta

Q-3 [1.00 val.] A paginação do espaço de endereçamento de um processo:

1. é aplicada a memórias cache
2. não permite recolocação dinâmica
3. implica a existência de uma tabela de páginas dedicada a esse processo
4. só pode ser efectuada em arquitecturas multi-core

Opção correcta

Q-4 [1.00 val.] Volumes RAID permitem:

1. agregar vários discos físicos num único disco lógico
2. agregar vários discos físicos num único disco físico
3. dividir um disco físico em vários discos lógicos
4. dividir um disco lógico em vários discos lógicos

Opção correcta

Q-5 [1.00 val.] Uma arquitectura multi-core é:

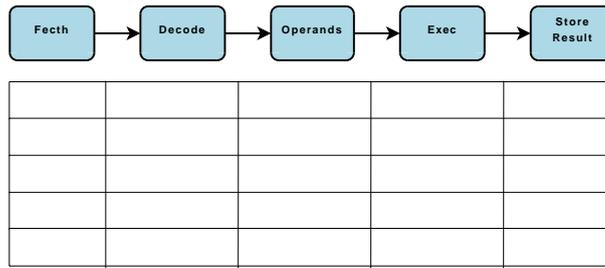
1. uma arquitectura de memória partilhada
2. usada em máquinas sem placa gráfica
3. composta por cores RISC
4. composta por cores CISC

Opção correcta

Q-9 [1.00 val.] Coloque o seguinte conjunto de instruções no pipeline assegurando que as dependências de dados não impedem a obtenção dos resultados esperados. **Nota:** pode usar a numeração disponibilizada.

```

1 add eax, 4
2 add ebx, eax
3 sub edx, 100
4 xor ebx, ebx
5 mov ecx, 20
    
```



Q-10 [1.50 val.] Explique porque é que a programação de entradas/saídas (I/O) por espera activa consome, em geral, mais tempo de CPU do que a programação por interrupções.

Q-11 Admita uma arquitectura de um computador com as seguintes características: endereçamento de 24 bits, cache com mapeamento directo de 2 MBytes, onde cada linha tem 128 Bytes.

a) [0.50 val] Qual é o tamanho máximo para o espaço de endereçamento de um processo? _____ MBytes

b) [1.00 val] Divida o endereço seguinte nas suas componentes: chave, linha e deslocamento (byte dentro do bloco). **Nota:** represente os valores em binário.

0110 1111 0000 0001 1100 1011

chave: _____ linha: _____ deslocamento: _____

c) [1.00 val] Suponha o seguinte cenário:

- o CPU faz um pedido de escrita de 4 bytes na cache a partir do endereço acima;
- o bloco correspondente ao endereço não está na cache;
- a cache usa uma política de *write-through*.

Explique que passos são efectuados até que os bytes sejam escritos nos endereços pretendidos.

e) [0.50 val] Considere que a cache tem um tempo de acesso de 5 ns, que memória central tem um tempo de acesso de 50 ns e que a taxa de sucesso (*hit ratio*) no acesso à cache é de 80%. Calcule, indicando a fórmula utilizada, o tempo médio de acesso à memória.

d) [0.50 val] Considere ainda que em média 20% do processamento é passado em acessos a memória. Calcule, indicando a fórmula utilizada, qual é o impacto da cache da alínea anterior na performance global do sistema.
