

Arquitetura e Sistema de Computadores I

Eng^a Informática FCT/UNL – 2º teste - 19/12/2006

Duração: 2h00. Sem consulta. **Todas as respostas devem ser justificadas**

1. Calcule os 32 bits correspondentes à representação do número real 513,625 no formato de precisão simples da norma IEEE 754. Relembre que na norma IEEE 754 a precisão simples corresponde a um bit para o sinal, 8 bits para o expoente que é representado em “excesso de 127” e 23 bits para a parte fraccionária da mantissa normalizada.

2. Relembre o trabalho sobre a porta série com interrupções. Admita a situação em que pretende implementar um programa para receber caracteres por essa porta usando o mecanismo de interrupções.

a) Indique, justificando, se são verdadeiras ou falsas cada uma das seguintes afirmações:

a1) A rotina de atendimento às interrupções tem de ser chamada periodicamente pelo programa para que os caracteres sejam retirados do controlador da porta série (UART).

a2) A rotina de atendimento à interrupção, antes de terminar, dá o comando “end of interrupt” ao controlador de interrupções (PIC).

a3) O programa começa por indicar, na posição correspondente no vector de interrupções, o endereço da rotina de atendimento às interrupções da porta série.

a4) Uma solução usando espera activa garantiria que nunca perdia nenhum carácter que chegasse pois o programa lia cada carácter directamente do controlador da porta série.

b) Escreva uma implementação da rotina de atendimento de interrupções que permita receber os caracteres que chegam via porta série e colocá-los num buffer. Represente os endereços de I/O dos registos do controlador da porta série de que necessite por constantes, indicando a função de cada um. Pode utilizar as extensões à linguagem C e funções auxiliares usadas nas aulas práticas.

3. Indique em que tipo de periféricos é mais indicado o mecanismo de DMA e as principais vantagens de os operar usando DMA em vez de apenas usar interrupções.

4. Admita uma arquitectura de um computador com as seguintes características:

- endereçamento real de 25 bits a uma memória RAM com 20ns de tempo de acesso;
- cache de 512KBytes e tempo de acesso de 4ns, organizada em mapa directo com blocos de 64bytes;
- registos de dados e Bus de dados de 32 bits (4bytes);

a) Indique para o endereço seguinte, o número do bloco de memória e os bytes dentro desse bloco, que são referenciados: **0 0000 0000 0001 0000 0000 1000**

b) Explique em que bloco da cache os bytes endereçados na alínea anterior são procurados e como é decidido se se trata de um cache hit ou cache miss.

c) Explique o que acontece no caso de uma escrita (*store*) em que há um cache *miss*, até à escrita dos bytes pretendidos, admitindo uma política de escrita *write-through*.

d) Considerando uma taxa de sucesso (*hit ratio*) no acesso à cache de 95%, indique o tempo médio de acesso à memória.

5. Admita uma arquitectura de um computador com as seguintes características:

- registos de endereçamento e Bus de endereços com 25 bits;
- gestão de memória usando páginas de 4Kbytes e sem segmentação;
- memória RAM fisicamente instalada (endereçada ao byte) de 8Mbytes

a) Indique a dimensão máxima da memória virtual e da memória instalada em número de páginas.

b) Indique a dimensão do maior programa que pode ser executado neste computador, admitindo que a arquitectura e o Sistema de Operação suportam paginação por pedido.

c) Indique como a MMU interpreta o endereço virtual: os bits usados para indicar o número de página e os usados para indicar o deslocamento dentro da página.

d) Descreva como a MMU usa a TLB e a tabela de páginas para transformar o endereço virtual em real.

6. Em 2000 a Intel lançou o seu Pentium IV com um pipeline de 20 fases. Na altura trabalhava a uma frequência de 1,4 GHz, quando existia no mercado o Pentium III a 1GHz com um pipeline de 10 fases.

a) Qual o *speedup* máximo possível que o novo modelo teria, considerando uma situação em que ambos os processadores completam uma instrução por cada ciclo do relógio?

b) A prática demonstrou que, em muitos casos, o novo modelo apresentava um desempenho semelhante ao do modelo antigo. Apresente uma possível explicação para esta observação.