



Lic. Eng. Informática – Mestr. Int. Eng. Micro e Nanotecnologias

Disciplina de Sistemas Lógicos – Exame Época Normal – 9/1/2012

Duração: 1h50mn Tolerância: 10mn Sem consulta

Importante: numere as folhas que entregar (ex. 1 de 4) e identifique-se em todas elas

Responda em folhas separadas aos vários grupos de questões

Q1 (2,5 + 2,5 valores)

Considere a função $f(A, B, C, D) = \sum(0,1,2,6,7,13,14,15) + d(3,10)$.

- Recorrendo à utilização de multiplexers e lógica adicional se necessário, implemente a função referida. Pode utilizar qualquer tipo de multiplexer, sendo preferível a solução que utilize menor número de portas (considerando que um MUX de N variáveis de selecção tem 2^N+1 portas).
- Recorrendo à utilização de descodificadores com ou sem entrada de habilitação (“enable”) e lógica adicional se necessário, implemente a função referida. Pode utilizar qualquer tipo de descodificador, sendo preferível a solução que utilize menor número de portas (considerando que um descodificador de N variáveis de entrada tem 2^N portas).

Q2 (2 + 2,5 valores)

- Pretende-se construir um sistema para realizar uma operação aritmética de multiplicação envolvendo dois números de entrada, A e B, em que A tem dois bits (A_1 e A_0) e B tem dois bits (B_1 e B_0). Determine o número de bits do resultado e apresente a tabela de verdade associada.
- Tendo disponíveis blocos semi-somadores, somadores-completos e alguma (pouca) lógica adicional que considere necessária, apresente e justifique um diagrama de blocos que realize a função descrita. Nota: um bloco semi-somador possui dois bits de entrada e dois bits de saída que correspondem à soma e transporte dos bits de entrada; um bloco somador-completo possui três bits de entrada e dois bits de saída que correspondem à soma e transporte dos bits de entrada.

Q3 (2 + 3,5 + 2 valores)

Pretende-se projectar um contador síncrono, com 3 bits, que contará em módulo 5, utilizando os estados de contagem 0, 1, 2, 3 e 4 (em decimal), sendo o estado 0 o estado inicial de contagem e dispondo de uma entrada M que quando a 1 permite contagem (em módulo) ascendente e quando a 0 indica contagem (em módulo) descendente. Nota: As saídas do contador coincidem com as variáveis de estado.

- Apresente tabela de transição de estados codificados.
- Utilizando um flip-flop D para o bit mais significativo, outro do tipo T para o segundo bit e outro do tipo JK para o bit menos significativo, apresente as tabelas das entradas D, T, J e K, mapas de Karnaugh associados e expressões simplificadas (não é necessário apresentar o esquema lógico).
- Considere que, devido a avaria, a saída do flip-flop “do meio” (implementado pelo flip-flop T) fica a ‘1’ quando o estado de contagem do contador é 1. Diga qual o estado seguinte após o próximo sinal de relógio. Justifique a resposta.

Q4 (3 valores)

Pretende-se desenvolver um sistema para detectar uma de duas sequências de valores presentes numa entrada X dependendo do estado de uma variável M (de modo). Quando M for igual a 1 a sequência a detectar é 01, enquanto que quando M for igual a 0 a sequência a detectar é 10, permitindo-se alternar de modo a qualquer momento considerando os valores recebidos (até ai) para a nova sequência. A saída Z deve tomar o valor 1 quando a sequência é detectada. Apresente um diagrama de estados para o detector de sequência descrito.