

Departamento de Engenharia Electrotécnica

Sistemas Lógicos I, 2011/12 26 NOV. 2011 1º TESTE: Duração 1h 30min

Notas:

- Coloque <u>no canto superior direito</u> de cada folha que entregar, o número da folha e o total de folhas do teste. (e.g., 2/4 ->2ª folha de um teste com quatro folhas)
- Coloque o nome e número de aluno no topo de TODAS as folhas que apresentar.
- As respostas a cada grupo de perguntas têm de estar em folhas separadas.
- Apresente a resolução de todas as perguntas.

Q1 (2, 3 valores)

- a) Converta para decimal e hexadecimal o número binário (10101110)₂.
- b) Apresente a expressão equivalente, bem como o circuito lógico utilizando só NORs de 2 entradas, que implemente f(a,b,c) = a.b + c.b + a.c.

Q2 (2, 2, 3, 3, 2 valores)

Considere um sistema a 4 bits que detecta os números primos (é divisível por si e pela unidade), isto é, tem uma saída Z activa (igual a um) sempre que nas suas entradas está representado em binário natural um número primo.

- a) Apresente a tabela de verdade da função Z.
- b) Apresente a função na 1ª forma canónica.
- c) Considere que o resultado da função da alínea anterior é $F(D,C,B,A) = \Sigma(3,4,5,7,10,11,12,13,15)$. Obtenha uma expressão <u>simplificada</u> na forma de soma de produtos através de mapas de Karnaugh.
- d) Implemente a função da alínea c), utilizando somente multiplexers com duas entradas de controlo. Utilize o menor número de multiplexers na solução que apresentar.
- e) Implemente a função utilizando descodificadores com duas entradas de selecção, com enable e lógica adicional que considere necessário.

Q3 (3 valores)

Construa um comparador que é capaz de comparar dois números com 8 bits cada, a partir de comparadores de 2 e 3 bits. Considere que cada comparador tem três saídas (= < >).

Campus da Caparica Tel.: +351 21 294 8545
2829-516 CAPARICA Fax: +351 21 294 8532 www.fct.unl.pt
sec-dee@fct.unl.pt